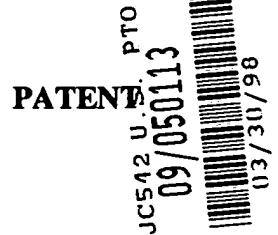


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re application of: **Taiji EMA**

Serial No.: **Not Yet Assigned**

Filed: **March 30, 1998**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Assistant Commissioner for Patents  
Washington, D.C. 20231

March 30, 1998

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

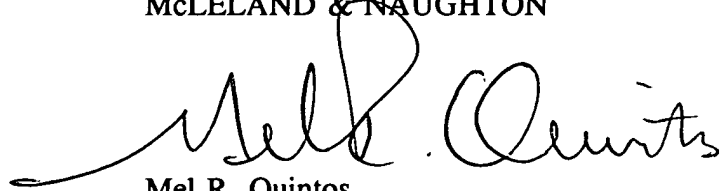
**Japanese Appln. No. 9-287466, filed on October 20, 1997**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said document.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN, HATTORI  
MCLELAND & NAUGHTON



Mel R. Quintos  
Reg. No. 31,898

Atty. Docket No.: 980446  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
MRQ/yap

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

#3  
575-98  
R.G.

JC542 U.S. PTO  
09/050113  
03/30/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 7 年 1 0 月 2 0 日

出 願 番 号

Application Number:

平成 9 年特許願第 2 8 7 4 6 6 号

出 願 人

Applicant (s):

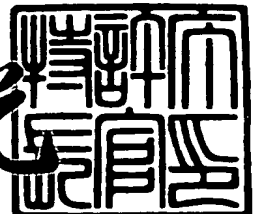
富士通株式会社

1 9 9 7 年 1 2 月 1 2 日

特 許 庁 長 官

Commissioner,  
Patent Office

荒井 寿光



出証番号 出証特平 0 9 - 3 1 0 1 5 7 2

【書類名】 特許願

【整理番号】 9704833

【提出日】 平成 9年10月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/88

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 25

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 江間 泰示

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704681

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 下地基板と、

前記下地基板上に形成され、隣接する2つの導電体パターンを有する第1の導電膜と、

前記第1の導電膜の上面を覆うエッチングストッパ膜と、

前記エッチングストッパ膜上及び前記下地基板上に形成された絶縁膜であって、2つの前記導電体パターン間の前記下地基板に達し、端部が2つの前記導電体パターン上の前記エッチングストッパ膜上に位置するコンタクトホールが形成された第1の絶縁膜と、

前記コンタクトホール内の前記第1の導電膜及び前記エッチングストッパ膜の側壁に形成されたサイドウォール絶縁膜と

を有することを特徴とする半導体装置。

【請求項2】 下地基板と、

前記下地基板上に形成され、隣接する複数の導電体パターンを有する第1の導電膜と、

前記第1の導電膜の上面を覆うエッチングストッパ膜と、

複数の前記導電体パターンの間に埋め込んで形成された絶縁膜であって、前記導電体パターンの間の前記下地基板に達し、端部が前記導電体パターンにより画定されたコンタクトホールが形成された第1の絶縁膜と、

前記コンタクトホール内の前記第1の導電膜及び前記エッチングストッパ膜の側壁に形成されたサイドウォール絶縁膜と

を有することを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、

前記コンタクトホールは、前記第1の導電膜の前記導電体パターンを挟んで隣接して複数設けられている

ことを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれか1項に記載の半導体装置において

前記第1の導電膜と前記エッチングストッパ膜との間に、前記エッチングストッパ膜よりも誘電率の低い第2の絶縁膜を有する

ことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、  
前記エッチングストッパ膜は、導電膜により形成されている  
ことを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、  
前記第1の絶縁膜上に形成され、前記コンタクトホールにおいて前記下地基板  
に接続された第2の導電膜を更に有し、

前記エッチングストッパ膜は、前記第1の導電膜と前記第2の導電膜とが交わる領域のみに形成されている

ことを特徴とする半導体装置。

【請求項7】 請求項2乃至4のいずれか1項に記載の半導体装置において

前記サイドウォール絶縁膜は、前記エッチングストッパ膜とエッチング特性のほぼ等しい材料により形成されており、前記積層膜の側壁の全領域に形成されている

ことを特徴とする半導体装置。

【請求項8】 半導体基板と、  
前記半導体基板上に形成され、第1の方向に延在する複数のワード線と、  
前記ワード線の上面を覆うエッチングストッパ膜と、  
前記エッチングストッパ膜上及び前記半導体基板上に形成された絶縁膜であって、前記ワード線間の前記半導体基板に達し、端部が前記ワード線上の前記エッチングストッパ膜上に位置する第1のコンタクトホールが形成された第1の絶縁膜と、

前記第1のコンタクトホール内の前記ワード線及び前記エッチングストッパ膜の側壁に形成されたサイドウォール絶縁膜と

を有することを特徴とする半導体装置。

【請求項9】 請求項8記載の半導体装置において、

前記第1のコンタクトホール及び／又は前記第2のコンタクトホールに埋め込まれたプラグを更に有する

ことを特徴とする半導体装置。

【請求項10】 半導体基板と

前記半導体基板上に形成され、第1の方向に延在する複数のワード線と、

前記ワード線及び前記半導体基板上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成され、第2の方向に延在する複数のビット線と、

前記ビット線の上面を覆うエッチングストッパ膜と、

前記エッチングストッパ膜上及び前記半導体基板上に形成された絶縁膜であって、前記ビット線間の前記半導体基板上に形成され、端部が前記ビット線上の前記エッチングストッパ膜上に位置するコンタクトホールが形成された第2の絶縁膜と、

前記コンタクトホール内の前記ビット線及び前記エッチングストッパ膜の側壁に形成されたサイドウォール絶縁膜と、

前記コンタクトホールを介して前記半導体基板に一方の電極が接続されたキャパシタを更に有する

を有することを特徴とする半導体装置。

【請求項11】 半導体基板と、

前記半導体基板上に形成され、第1の方向に延在する複数のワード線と、

前記ワード線及び前記半導体基板上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成され、第2の方向に延在する複数のビット線と、

前記ビット線の上面を覆うエッチングストッパ膜と、

複数の前記ビット線間に埋め込んで形成された絶縁膜であって、前記ビット線間の前記半導体基板上に形成され、端部が前記ビット線により画定されたコンタクトホールが形成された第2の絶縁膜と、

前記コンタクトホール内の前記ビット線及び前記エッチングストッパ膜の側壁に形成されたサイドウォール絶縁膜と、

前記コンタクトホールを介して前記半導体基板に一方の電極が接続されたキャ

パンタを更に有する

ことを特徴とする半導体装置。

【請求項12】 請求項10又は11記載の半導体装置において、  
前記キャパシタの前記一方の電極は、前記第1の絶縁膜に埋め込まれたプラグ  
を介して前記半導体基板に接続されている

ことを特徴とする半導体装置。

【請求項13】 下地基板上に、隣接する複数の導電体パターンを有し、上  
面がエッチングストッパ膜で覆われた第1の導電膜を形成する第1の導電膜形成  
工程と、

複数の前記導電体パターンとの間に埋め込まれた第1の絶縁膜を形成する第1  
の絶縁膜形成工程と、

前記エッチングストッパ膜をマスクとして前記第1の絶縁膜をエッチングし、  
前記導電体パターンの間の前記下地基板に達し、端部が前記導電体パターンによ  
り画定されたコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホール内の前記第1の導電膜及び前記エッチングストッパ膜の  
側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、  
前記コンタクトホール形成工程では、複数の前記導電体パターン上に跨る開口  
部を有するフォトリジストと前記エッチングストッパ膜とをマスクとして前記第  
1の絶縁膜をエッチングし、前記開口部内に複数の前記コンタクトホールを形成  
する

ことを特徴とする半導体装置の製造方法。

【請求項15】 請求項13又は14記載の半導体装置の製造方法において、  
前記第1の導電膜形成工程の前に、前記下地基板内に埋め込まれた素子分離膜  
を形成する素子分離膜形成工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項16】 半導体基板上に、第1の方向に延在し、上面がエッチング

ストッパ膜で覆われた複数のワード線を形成するワード線形成工程と、

前記エッチングストッパ膜上及び前記半導体基板上に第1の絶縁膜を形成する第1の絶縁膜形成工程と、

前記第1の絶縁膜に、前記ワード線間の前記半導体基板に達し、端部が前記ワード線上の前記エッチングストッパ膜上に位置するコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホール内の前記ワード線及び前記エッチングストッパ膜の側壁に、サイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と、

前記第1の絶縁膜上に、第2の方向に延在し、前記コンタクトホールを介して前記半導体基板に接続された複数のビット線を形成するビット線形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項17】 半導体基板上に、第1の方向に延在し、上面がエッチングストッパ膜で覆われた複数のワード線を形成するワード線形成工程と、

前記ワード線間に埋め込まれた第1の絶縁膜を形成する第1の絶縁膜形成工程と、

前記エッチングストッパ膜をマスクとして前記第1の絶縁膜をエッチングし、前記ワード線の間の前記半導体基板に達し、端部が前記ワード線により画定されたコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホール内の前記ワード線及び前記エッチングストッパ膜の側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と、

前記第1の絶縁膜上に、第2の方向に延在し、前記コンタクトホールを介して前記半導体基板に接続された複数のビット線を形成するビット線形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項18】 半導体基板上に、第1の方向に延在し、上面がエッチングストッパ膜で覆われた複数のワード線を形成するワード線形成工程と、

前記ワード線及び前記エッチングストッパ膜の側壁に、前記エッチングストッパ膜とほぼ等しいエッチング特性を有するサイドウォール絶縁膜を形成する工程と、

前記サイドウォール絶縁膜が形成された前記ワード線間に埋め込まれた第1の



絶縁膜を形成する第1の絶縁膜形成工程と、

前記第1のエッチングストップ膜及び前記第1のサイドウォール絶縁膜をマスクとして前記第1の絶縁膜をエッチングし、前記ワード線間の前記半導体基板に達し、端部が前記サイドウォール絶縁膜により画定されたコンタクトホールを形成するコンタクトホール形成工程と、

前記第1の絶縁膜上に、第2の方向に延在し、前記コンタクトホールを介して前記半導体基板に接続された複数のビット線を形成するビット線形成工程とを有することを特徴とする半導体装置の製造方法。

【請求項19】 請求項17又は18記載の半導体装置の製造方法において

前記コンタクトホール形成工程では、前記ワード線上に跨る開口部を有するフォトリソット及び前記エッチングストップ膜をマスクとして前記第1の絶縁膜をエッチングし、前記開口部内に複数の前記コンタクトホールを形成することを特徴とする半導体装置の製造方法。

【請求項20】 請求項16乃至19のいずれか1項に記載の半導体装置の製造方法において、

前記ビット線形成工程の前に、前記コンタクトホール内に埋め込まれたプラグを形成するプラグ形成工程を更に有することを特徴とする半導体装置の製造方法。

【請求項21】 半導体基板上に、第1の方向に延在する複数のワード線を形成するワード線形成工程と、

前記ワード線が形成された前記半導体基板上に、第1の絶縁膜を形成する第1の絶縁膜形成工程と、

前記第1の絶縁膜上に、第2の方向に延在し、上面がエッチングストップ膜で覆われた複数のビット線を形成するビット線形成工程と、

前記エッチングストップ膜上及び前記第1の絶縁膜上に第2の絶縁膜を形成する第2の絶縁膜形成工程と、

前記第2の絶縁膜に、前記ワード線間の前記半導体基板上に形成され、端部が前記ビット線上の前記エッチングストップ膜上に位置するコンタクトホールを形

成するコンタクトホール形成工程と、

前記コンタクトホール内の前記ビット線及び前記エッチングストッパ膜の側壁に、サイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と、

前記第2の絶縁膜上に、前記コンタクトホールを介して前記半導体基板に一方の電極が接続されたキャパシタを形成するキャパシタ形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項22】 半導体基板上に、第1の方向に延在する複数のワード線を形成するワード線形成工程と、

前記ワード線が形成された前記半導体基板上に、第1の絶縁膜を形成する第1の絶縁膜形成工程と、

前記第1の絶縁膜上に、第2の方向に延在し、上面がエッチングストッパ膜で覆われた複数のビット線を形成するビット線形成工程と、

前記ビット線間に埋め込まれた第2の絶縁膜を形成する第2の絶縁膜形成工程と、

前記エッチングストッパ膜をマスクとして前記第2の絶縁膜をエッチングし、前記ビット線間の前記半導体基板上に形成され、端部が前記ビット線により画定されたコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホール内の前記ビット線及び前記エッチングストッパ膜の側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と、

前記第2の絶縁膜上に、前記コンタクトホールを介して前記半導体基板に一方の電極が接続されたキャパシタを形成するキャパシタ形成工程と

を有することを特徴とする半導体装置の製造方法。

【請求項23】 請求項21又は22記載の半導体装置の製造方法において

前記コンタクトホール形成工程では、前記ワード線間の領域を交互に覆うパターンを有するフォトレジストと、前記エッチングストッパ膜とをマスクとして前記第2の絶縁膜をエッチングし、複数の前記コンタクトホールを形成する

ことを特徴とする半導体装置の製造方法。

【請求項24】 請求項21乃至23のいずれか1項に記載の半導体装置の

製造方法において、

前記コンタクトホール形成工程では、前記第1の絶縁膜及び前記第2の絶縁膜をエッチングし、前記半導体基板に達し、端部が前記ビット線及び前記ワード線により画定されたコンタクトホールを形成する

ことを特徴とする半導体装置の製造方法。

【請求項25】 請求項21乃至24のいずれか1項に記載の半導体装置の製造方法において、

前記ビット線形成工程では、導電体よりなる前記エッチングストッパ膜を形成し、

前記キャパシタ形成工程では、前記エッチングストッパ膜を、前記キャパシタの前記一方の電極と同じパターンに加工する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、高集積化DRAMなどに適用するに好適な微細なコンタクトホールを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置の大規模化・高集積化に伴い、配線層間を接続するためのコンタクトホールの微細化も必須となっている。このため、微細なコンタクトホールを形成するための半導体装置の構造及びその製造方法が種々提案されている。

微細なコンタクトホールを形成するための従来の半導体装置の製造方法について、図47乃至図52を用いて説明する。図47及び図48は従来の第1の方法を説明する図、図49及び図50は従来の第2の方法を説明する図、図51及び図52は従来の第3の方法を説明する図である。

【0003】

従来の第1の方法では、まず、シリコン基板200上に、ゲート絶縁膜202

を介して隣接する2つのゲート電極204を形成する。

次いで、ゲート電極204をマスクとしてシリコン基板200にイオン注入を行い、ゲート電極204の両側のシリコン基板200中に不純物拡散層206を形成する。

#### 【0004】

続いて、全面に、例えばCVD法によりシリコン酸化膜を堆積し、その表面を平坦化し、シリコン酸化膜よりなる層間絶縁膜208を形成する（図47（a））。

この後、ゲート電極204間のシリコン基板200中に形成された不純物拡散層206に達するコンタクトホールを層間絶縁膜208に形成する。まず、通常のリソグラフィ技術を用いてゲート電極204間にコンタクトホール210を開口し（図47（b））、その後、全面にシリコン酸化膜を成長し、垂直方向にエッチングの進む異方性エッチングを行ってコンタクトホール210の内壁サイドウォール絶縁膜212を形成する（図47（c））。

#### 【0005】

従来の第1の方法では、このように不純物拡散層206に達するコンタクトホール210を形成することにより、リソグラフィの解像寸法限界以下のサイズを有するコンタクトホール210を形成することができる。

図47（c）に示す状態は、リソグラフィ工程における位置合わせズレが全くない場合を想定している。

#### 【0006】

しかしながら、第1の方法においてコンタクトホールを形成するためのリソグラフィ工程において位置合わせズレが生じると、図48（a）に示すように、コンタクトホール210内にゲート電極204が露出することがある。このような場合、位置合わせズレが小さければサイドウォール絶縁膜212によりゲート電極204が完全に覆われるが、図48（b）に示すように位置合わせズレが大きいと、ゲート電極204の表面がコンタクトホール210内に露出することとなり、コンタクトホール210内に形成する配線層（図示せず）とゲート電極204とが短絡することとなる。

【0007】

そこで、従来の第2の方法では、図49(a)～(c)に示すように、予めゲート電極204上に層間絶縁膜208とはエッチング特性の異なるエッチングストップパ膜214を形成することが行われていた。

このように半導体装置を構成することにより、位置合わせズレによりゲート電極204上にコンタクトホール210が延在しても(図50(a))、サイドウォール絶縁膜212及びエッチングストップパ膜214によりゲート電極204が完全に覆われるので(図50(b))、コンタクトホール210内に形成する配線層(図示せず)とゲート電極204とが短絡することを防止することができる。

【0008】

また、コンタクトホールの形成方法としては、ゲート電極に自己整合的にコンタクトホールを開口する、いわゆる自己整合コンタクト技術が知られている。

以下、自己整合コンタクト技術を用いた従来の第3の方法について説明する。

まず、シリコン基板220上に、素子間を分離するための素子分離膜222を形成する。素子分離膜222は、例えば図52(a)に示すように、素子領域が千鳥格子状に配置されるように形成する。

【0009】

次いで、熱酸化法により、表面にゲート絶縁膜224を形成する。

続いて、全面に、例えばCVD法により、ゲート電極となる多結晶シリコン膜と、エッチングストップパ膜となるシリコン窒化膜とを堆積し、これら膜をゲート電極のパターンに加工する。こうして、上面がエッチングストップパ膜228で覆われたゲート電極226を形成する(図51(a))。

【0010】

この後、全面に、例えばCVD法によりシリコン窒化膜を堆積し、垂直方向にエッチングの進む異方性エッチングを行い、ゲート電極226及びエッチングストップパ膜228の側壁にサイドウォール絶縁膜230を形成する(図51(b))。

次いで、全面に、例えばCVD法によりシリコン酸化膜を堆積し、その後、例

例えばCMP（化学的機械的研磨：Chemical Mechanical Polishing）法によりその表面を平坦化し、シリコン酸化膜よりなる層間絶縁膜232を形成する（図51（c））。

#### 【0011】

続いて、通常のリソグラフィ技術により、図52（b）に示すように素子分離膜222により画定された素子領域上に開口部を有するフォトレジスト234を形成し、フォトレジスト234をマスクとして層間絶縁膜232をエッチングする（図50（d））。

この際、エッチングストッパ膜228及びサイドウォール絶縁膜230を構成するシリコン窒化膜のエッチングレートが、層間絶縁膜232を構成するシリコン酸化膜のエッチングレートよりも十分に遅いエッチング条件を選択することにより、フォトレジスト234内のエッチングストッパ膜228及びサイドウォール絶縁膜230はエッチングされず、層間絶縁膜232のみがエッチングされることとなる。すなわち、ゲート電極224に自己整合的にコンタクトホール236を開口することができる。

#### 【0012】

##### 【発明が解決しようとする課題】

しかしながら、上記従来の第1の方法では、上述のように、リソグラフィの位置合わせズレによりコンタクトホール210内にゲート電極204が露出することがあった。

また、従来の第1及び第2の方法では、リソグラフィ工程における位置合わせズレにより、コンタクトホールのサイズが変動することがあった。

#### 【0013】

すなわち、位置合わせズレがなければ、図47（c）、及び図49（c）に示すように、コンタクトホールの端部は層間絶縁膜208の側壁に形成されるサイドウォール絶縁膜212により画定されるが、位置合わせズレが生じると、図48（b）、及び図50（b）に示すように、コンタクトホール的一方の端部は層間絶縁膜208の側壁に形成されるサイドウォール絶縁膜212により画定されるが、他方の端部はゲート電極204の側壁に形成されるサイドウォール絶縁膜

212により画定されるため、結果として、位置合わせズレが大きいほどにコンタクトホールサイズが小さくなることがあった。

【0014】

また、従来の第3の方法では、ゲート電極を挟んで隣接するコンタクトホールをそれぞれ別々のパターンで形成していた（図52（b））。これは、隣接する複数のコンタクトホールを一括して形成すると、研磨によりコンタクトホール内にプラグを埋め込む場合には各々が短絡してしまう危険性が大きいこと、また、リソグラフィー技術により導電体を分離する場合にはコンタクトホールの段差部に残渣が生じやすくエッチングが非常に難しいといった不都合があるからである。

【0015】

しかしながら、従来の第3の方法のように、隣接するコンタクトホールが非常に近接している場合には、リソグラフィーで形成するフォトレジストのホールサイズを厳しくする必要があり、且つ、位置合わせズレが生じると上述と同様のコンタクトホールサイズの変動が生じるため、位置合わせズレの管理をも厳しくする必要があった。

【0016】

また、従来の第3の方法では、サイドウォール絶縁膜として、シリコン窒化膜が主として用いられていたが、シリコン窒化膜をサイドウォール絶縁膜に用いるとシリコン酸化膜をサイドウォール絶縁膜に使用する場合に比べてトランジスタのホットキャリア耐性に劣るという不都合があった。

また、平坦部に形成されたシリコン窒化膜のエッチング速度に比べて、斜めに形成されたシリコン窒化膜のエッチング速度が大きくなることが経験的に認められている。このため、従来の第3の方法では、サイドウォール絶縁膜をマスクとして層間絶縁膜をエッチングするが、サイドウォール絶縁膜上部の斜めとなった領域のシリコン窒化膜のエッチング選択性が十分に確保できず、コンタクトホール内にゲート電極が露出することがあった。

【0017】

本発明の目的は、フォトレジストの開口サイズを緩くすることができ、リソグ

リソグラフィーの位置合わせズレによるコンタクトホールサイズの変動がなく、且つ、トランジスタのホットキャリア効果に対する耐性に優れた半導体装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】

上記目的は、下地基板と、前記下地基板上に形成され、隣接する2つの導電体パターンを有する第1の導電膜と、前記第1の導電膜の上面を覆うエッチングストップ膜と、前記エッチングストップ膜上及び前記下地基板上に形成された絶縁膜であって、2つの前記導電体パターン間の前記下地基板に達し、端部が2つの前記導電体パターン上の前記エッチングストップ膜上に位置するコンタクトホールが形成された第1の絶縁膜と、前記コンタクトホール内の前記第1の導電膜及び前記エッチングストップ膜の側壁に形成されたサイドウォール絶縁膜とを有することを特徴とする半導体装置によって達成される。このように半導体装置を構成することにより、リソグラフィーによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィー工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

【0019】

また、上記目的は、下地基板と、前記下地基板上に形成され、隣接する複数の導電体パターンを有する第1の導電膜と、前記第1の導電膜の上面を覆うエッチングストップ膜と、複数の前記導電体パターンの間に埋め込んで形成された絶縁膜であって、前記導電体パターンの間の前記下地基板に達し、端部が前記導電体パターンにより画定されたコンタクトホールが形成された第1の絶縁膜と、前記コンタクトホール内の前記第1の導電膜及び前記エッチングストップ膜の側壁に形成されたサイドウォール絶縁膜とを有することを特徴とする半導体装置によっても達成される。このように半導体装置を構成することにより、リソグラフィーによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィー工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィ



一工程を簡略にすることができる。

【0020】

また、上記の半導体装置において、前記コンタクトホールは、前記第1の導電膜の前記導電体パターンを挟んで隣接して複数設けられていることが望ましい。導電体パターンを挟んで隣接した複数のコンタクトホールを設ける場合には、これらコンタクト領域を含む一の開口部を有するフォトレジストを形成すればすむので、コンタクトホールを開口する際のリソグラフィー工程において、更にフォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

【0021】

また、上記の半導体装置において、前記第1の導電膜と前記エッチングストッパ膜との間に、前記エッチングストッパ膜よりも誘電率の低い第2の絶縁膜を有することが望ましい。誘電率の低い第2の絶縁膜を設ければ、配線層間の寄生容量を低減することができる。

また、上記の半導体装置において、前記エッチングストッパ膜は、導電膜により形成されていることが望ましい。エッチングストッパ膜は絶縁膜に限られず、導電膜を用いることによっても本発明を実現することができる。

【0022】

また、上記の半導体装置において、前記第1の絶縁膜上に形成され、前記コンタクトホールにおいて前記下地基板に接続された第2の導電膜を更に有し、前記エッチングストッパ膜は、前記第1の導電膜と前記第2の導電膜とが交わる領域のみに形成されていることが望ましい。エッチングストッパ膜を導電膜に形成する場合には、上層に形成する第2の導電膜が短絡しないようにエッチングストッパ膜を第2の導電膜と同一のパターンに加工することが望ましい。この結果、エッチングストッパ膜は、前記第1の導電膜と前記第2の導電膜とが交わる領域に残存することとなる。

【0023】

また、上記の半導体装置において、前記サイドウォール絶縁膜は、前記エッチングストッパ膜とエッチング特性のほぼ等しい材料により形成されており、前記

積層膜の側壁の全領域に形成されていることが望ましい。本発明は、導電膜をエッチングストッパ膜で覆う従来の半導体装置に適用する場合にも、リソグラフィ工程を簡略にすることができる。

## 【0024】

また、上記目的は、半導体基板と、前記半導体基板上に形成され、第1の方向に延在する複数のワード線と、前記ワード線の上面を覆うエッチングストッパ膜と、前記エッチングストッパ膜上及び前記半導体基板上に形成された絶縁膜であって、前記ワード線間の前記半導体基板に達し、端部が前記ワード線上の前記エッチングストッパ膜上に位置する第1のコンタクトホールが形成された第1の絶縁膜と、前記第1のコンタクトホール内の前記ワード線及び前記エッチングストッパ膜の側壁に形成されたサイドウォール絶縁膜とを有することを特徴とする半導体装置によっても達成される。本発明によるコンタクトホールの構造は、DRAMにおけるビット線コンタクトホールに適用することができる。したがって、DRAMの製造過程において、リソグラフィによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィ工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィ工程を簡略にすることができる。

## 【0025】

また、上記の半導体装置において、前記第1のコンタクトホール及び／又は前記第2のコンタクトホールに埋め込まれたプラグを更に有することが望ましい。コンタクトホール内にプラグを埋め込んでおけば、特に、蓄積電極コンタクトホールのアスペクト比を小さくできるので、コンタクトホール形成過程のエッチング工程を簡便にすることができる。

## 【0026】

また、上記目的は、半導体基板と前記半導体基板上に形成され、第1の方向に延在する複数のワード線と、前記ワード線及び前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、第2の方向に延在する複数のビット線と、前記ビット線の上面を覆うエッチングストッパ膜と、前記エッチング

ストップパ膜上及び前記半導体基板上に形成された絶縁膜であって、前記ビット線間の前記半導体基板上に形成され、端部が前記ビット線上の前記エッチングストップパ膜上に位置するコンタクトホールが形成された第2の絶縁膜と、前記コンタクトホール内の前記ビット線及び前記エッチングストップパ膜の側壁に形成されたサイドウォール絶縁膜と、前記コンタクトホールを介して前記半導体基板に一方の電極が接続されたキャパシタを更に有するを有することを特徴とする半導体装置によっても達成される。本発明によるコンタクトホールの構造は、DRAMにおける蓄積電極コンタクトホールに適用することができる。したがって、DRAMの製造過程において、リソグラフィーによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィー工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

【0027】

また、上記目的は、半導体基板と、前記半導体基板上に形成され、第1の方向に延在する複数のワード線と、前記ワード線及び前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、第2の方向に延在する複数のビット線と、前記ビット線の上面を覆うエッチングストップパ膜と、複数の前記ビット線間に埋め込んで形成された絶縁膜であって、前記ビット線間の前記半導体基板上に形成され、端部が前記ビット線により画定されたコンタクトホールが形成された第2の絶縁膜と、前記コンタクトホール内の前記ビット線及び前記エッチングストップパ膜の側壁に形成されたサイドウォール絶縁膜と、前記コンタクトホールを介して前記半導体基板に一方の電極が接続されたキャパシタを更に有することを特徴とする半導体装置によっても達成される。本発明によるコンタクトホールの構造は、DRAMにおける蓄積電極コンタクトホールに適用することができる。したがって、DRAMの製造過程において、リソグラフィーによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィー工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

## 【0028】

また、上記の半導体装置において、前記キャパシタの前記一方の電極は、前記第1の絶縁膜に埋め込まれたプラグを介して前記半導体基板に接続されていることが望ましい。第1の絶縁膜に予めプラグを埋め込んでおけば、蓄積電極コンタクトホールのアスペクト比を小さくできるので、コンタクトホール形成過程のエッチングを簡便にすることができる。

## 【0029】

また、上記目的は、下地基板上に、隣接する複数の導電体パターンを有し、上面がエッチングストッパ膜で覆われた第1の導電膜を形成する第1の導電膜形成工程と、複数の前記導電体パターンとの間に埋め込まれた第1の絶縁膜を形成する第1の絶縁膜形成工程と、前記エッチングストッパ膜をマスクとして前記第1の絶縁膜をエッチングし、前記導電体パターンの間の前記下地基板に達し、端部が前記導電体パターンにより画定されたコンタクトホールを形成するコンタクトホール形成工程と、前記コンタクトホール内の前記第1の導電膜及び前記エッチングストッパ膜の側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。このようにして半導体装置を製造すれば、リソグラフィーによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィー工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

## 【0030】

また、上記の半導体装置の製造方法において、前記コンタクトホール形成工程では、複数の前記導電体パターン上に跨る開口部を有するフォトレジストと前記エッチングストッパ膜とをマスクとして前記第1の絶縁膜をエッチングし、前記開口部内に複数の前記コンタクトホールを形成することが望ましい。本発明では、複数の前記導電体パターン上に跨る開口部を有するフォトレジストをマスクとしてエッチングすることにより、該開口部内に複数のコンタクトホールを形成できるので、コンタクトホールを開口する際のリソグラフィー工程において、フォ

トレジストの開口サイズを大きくすることができる。これにより、リソグラフィ工程を簡略にすることができる。

【0031】

また、上記の半導体装置の製造方法において、前記第1の導電膜形成工程の前に、前記下地基板内に埋め込まれた素子分離膜を形成する素子分離膜形成工程を更に有することが望ましい。このようなトレンチ法を用いた素子分離膜を形成すれば、素子分離膜形成後にも基板の平坦性を維持できるので、本発明によるコンタクトホール形成方法を適用するうえで極めて有用である。

【0032】

また、上記目的は、半導体基板上に、第1の方向に延在し、上面がエッチングストッパ膜で覆われた複数のワード線を形成するワード線形成工程と、前記エッチングストッパ膜上及び前記半導体基板上に第1の絶縁膜を形成する第1の絶縁膜形成工程と、前記第1の絶縁膜に、前記ワード線間の前記半導体基板に達し、端部が前記ワード線上の前記エッチングストッパ膜上に位置するコンタクトホールを形成するコンタクトホール形成工程と、前記コンタクトホール内の前記ワード線及び前記エッチングストッパ膜の側壁に、サイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と、前記第1の絶縁膜上に、第2の方向に延在し、前記コンタクトホールを介して前記半導体基板に接続された複数のビット線を形成するビット線形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。本発明は、DRAMにおけるビット線コンタクトホールの形成に適用することができる。したがって、DRAMの製造過程において、リソグラフィによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィ工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィ工程を簡略にすることができる。

【0033】

また、上記目的は、半導体基板上に、第1の方向に延在し、上面がエッチングストッパ膜で覆われた複数のワード線を形成するワード線形成工程と、前記ワード線間に埋め込まれた第1の絶縁膜を形成する第1の絶縁膜形成工程と、前記エ

エッチングストップ膜をマスクとして前記第1の絶縁膜をエッチングし、前記ワード線間の前記半導体基板に達し、端部が前記ワード線により画定されたコンタクトホールを形成するコンタクトホール形成工程と、前記コンタクトホール内の前記ワード線及び前記エッチングストップ膜の側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と、前記第1の絶縁膜上に、第2の方向に延在し、前記コンタクトホールを介して前記半導体基板に接続された複数のビット線を形成するビット線形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。本発明は、導電膜をエッチングストップ膜で覆う従来の半導体装置に適用する場合にも、リソグラフィー工程を簡略にすることができる。

#### 【0034】

また、上記目的は、半導体基板上に、第1の方向に延在し、上面がエッチングストップ膜で覆われた複数のワード線を形成するワード線形成工程と、前記ワード線及び前記エッチングストップ膜の側壁に、前記エッチングストップ膜とほぼ等しいエッチング特性を有するサイドウォール絶縁膜を形成する工程と、前記サイドウォール絶縁膜が形成された前記ワード線間に埋め込まれた第1の絶縁膜を形成する第1の絶縁膜形成工程と、前記第1のエッチングストップ膜及び前記第1のサイドウォール絶縁膜をマスクとして前記第1の絶縁膜をエッチングし、前記ワード線間の前記半導体基板に達し、端部が前記サイドウォール絶縁膜により画定されたコンタクトホールを形成するコンタクトホール形成工程と、前記第1の絶縁膜上に、第2の方向に延在し、前記コンタクトホールを介して前記半導体基板に接続された複数のビット線を形成するビット線形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。本発明は、DRAMにおけるビット線コンタクトホールの形成に適用することができる。したがって、DRAMの製造過程において、リソグラフィーによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィー工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

## 【0035】

また、上記の半導体装置の製造方法において、前記コンタクトホール形成工程では、前記ワード線上に跨る開口部を有するフォトレジスト及び前記エッチングストップ膜をマスクとして前記第1の絶縁膜をエッチングし、前記開口部内に複数の前記コンタクトホールを形成することが望ましい。本発明では、複数のワード線上に跨る開口部を有するフォトレジストをマスクとしてエッチングすることにより、該開口部内に複数のコンタクトホールを形成できるので、コンタクトホールを開口する際のリソグラフィー工程において、フォトレジストの開口サイズを大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

## 【0036】

また、上記の半導体装置の製造方法において、前記ビット線形成工程の前に、前記コンタクトホール内に埋め込まれたプラグを形成するプラグ形成工程を更に有することが望ましい。本発明では、基板表面の平坦性を維持しつつコンタクトホールを開口できるので、コンタクトホール内に埋め込みプラグを容易に形成することができる。

また、上記目的は、半導体基板上に、第1の方向に延在する複数のワード線を形成するワード線形成工程と、前記ワード線が形成された前記半導体基板上に、第1の絶縁膜を形成する第1の絶縁膜形成工程と、前記第1の絶縁膜上に、第2の方向に延在し、上面がエッチングストップ膜で覆われた複数のビット線を形成するビット線形成工程と、前記エッチングストップ膜上及び前記第1の絶縁膜上に第2の絶縁膜を形成する第2の絶縁膜形成工程と、前記第2の絶縁膜に、前記ワード線間の前記半導体基板上に形成され、端部が前記ビット線上の前記エッチングストップ膜上に位置するコンタクトホールを形成するコンタクトホール形成工程と、前記コンタクトホール内の前記ビット線及び前記エッチングストップ膜の側壁に、サイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と、前記第2の絶縁膜上に、前記コンタクトホールを介して前記半導体基板に一方の電極が接続されたキャパシタを形成するキャパシタ形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。本発明は、DRAMにお

ける蓄積電極コンタクトホール形成にも適用することができる。したがって、DRAMの製造過程において、リソグラフィーによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィー工程において、フォトリジストの開口サイズを更に大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

## 【0037】

また、上記目的は、半導体基板上に、第1の方向に延在する複数のワード線を形成するワード線形成工程と、前記ワード線が形成された前記半導体基板上に、第1の絶縁膜を形成する第1の絶縁膜形成工程と、前記第1の絶縁膜上に、第2の方向に延在し、上面がエッチングストッパ膜で覆われた複数のビット線を形成するビット線形成工程と、前記ビット線間に埋め込まれた第2の絶縁膜を形成する第2の絶縁膜形成工程と、前記エッチングストッパ膜をマスクとして前記第2の絶縁膜をエッチングし、前記ビット線の間の前記半導体基板上に形成され、端部が前記ビット線により画定されたコンタクトホールを形成するコンタクトホール形成工程と、前記コンタクトホール内の前記ビット線及び前記エッチングストッパ膜の側壁にサイドウォール絶縁膜を形成するサイドウォール絶縁膜形成工程と、前記第2の絶縁膜上に、前記コンタクトホールを介して前記半導体基板に一方の電極が接続されたキャパシタを形成するキャパシタ形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。本発明は、DRAMにおける蓄積電極コンタクトホール形成にも適用することができる。したがって、DRAMの製造過程において、リソグラフィーによる位置合わせズレによるコンタクトホールサイズの変動を抑えることができる。また、コンタクトホールを開口する際のリソグラフィー工程において、フォトリジストの開口サイズを更に大きくすることができる。これにより、リソグラフィー工程を簡略にすることができる。

## 【0038】

また、上記の半導体装置の製造方法において、前記コンタクトホール形成工程では、前記ワード線間の領域を交互に覆うパターンを有するフォトリジストと、



前記エッチングストップ膜とをマスクとして前記第2の絶縁膜をエッチングし、複数の前記コンタクトホールを形成することが望ましい。蓄積電極コンタクトホールの形成工程では、ワード線間の領域を交互に覆うストライプパターンを有するフォトレジストをマスクとすることにより複数のコンタクトホールを開口できるので、コンタクトホールを開口する際のリソグラフィ工程において、フォトレジストの開口サイズを極めて大きくすることができる。これにより、リソグラフィ工程を簡略にすることができる。

## 【0039】

また、上記の半導体装置の製造方法において、前記コンタクトホール形成工程では、前記第1の絶縁膜及び前記第2の絶縁膜をエッチングし、前記半導体基板に達し、端部が前記ビット線及び前記ワード線により画定されたコンタクトホールを形成することが望ましい。

また、上記の半導体装置の製造方法において、前記ビット線形成工程では、導電体よりなる前記エッチングストップ膜を形成し、前記キャパシタ形成工程では、前記エッチングストップ膜を、前記キャパシタの前記一方の電極と同じパターンに加工することが望ましい。エッチングストップ膜を導電膜に形成する場合には、上層に形成する蓄積電極が短絡しないようにエッチングストップ膜を蓄積電極と同一のパターンに加工することが望ましい。

## 【0040】

## 【発明の実施の形態】

## 〔第1実施形態〕

本発明の第1実施形態による半導体装置及びその製造方法について図1及び図2を用いて説明する。

図1は本実施形態による半導体装置の構造を示す概略断面図、図2は本実施形態による半導体装置の製造方法を示す工程断面図である。

## 【0041】

始めに、本実施形態による半導体装置の構造について図1を用いて説明する。

シリコン基板10上には、ゲート絶縁膜14を介して2つのゲート電極20が隣接して形成されている。ゲート電極20上には、シリコン窒化膜よりなるエッ

チングストップパ膜22が形成されている。ゲート電極20の両側のシリコン基板10には、不純物拡散層24、26が形成されている。このように構成されたMOSFET上には、不純物拡散層24上に開口されたコンタクトホール30を有する層間絶縁膜28が形成されている。コンタクトホール30内壁の層間絶縁膜28の側壁、ゲート電極20及びエッチングストップパ膜22の側壁には、シリコン酸化膜よりなるサイドウォール絶縁膜32が形成されている。

#### 【0042】

ここで、本実施形態による半導体装置は、層間絶縁膜28に形成されたコンタクトホール30の端部が、ゲート電極20上にまで延在していることに特徴がある。このようにコンタクトホールを設けることにより、コンタクトホールを形成するためのリソグラフィ工程を簡便にできるなど、種々の効果を得ることができる。

#### 【0043】

また、本実施形態による半導体装置は、サイドウォール絶縁膜32がシリコン酸化膜により構成されていることにも特徴がある。

以下、本実施形態による半導体装置の製造方法に沿って、本実施形態による半導体装置及びその製造方法を詳細に説明する。

まず、シリコン基板10を熱酸化し、表面にゲート絶縁膜14を形成する。

#### 【0044】

次いで、ゲート絶縁膜14上に、例えばCVD（化学的気相成長：Chemical Vapor Deposition）法により、多結晶シリコン膜16を形成する。多結晶シリコン膜16は、ゲート電極となる膜である。

続いて、多結晶シリコン膜16上に、例えばCVD法によりシリコン窒化膜18を堆積する（図2（a））。シリコン窒化膜18はエッチングストップパ膜となる膜である。

#### 【0045】

この後、シリコン窒化膜18、多結晶シリコン膜16を同一のパターンに加工し、上面がエッチングストップパ膜22により覆われたゲート電極20を形成する。

次いで、ゲート電極20をマスクとしてシリコン基板10に例えば燐イオンをイオン注入し、不純物拡散層24、26を形成する（図2（b））。

【0046】

続いて、全面に、例えばCVD法によりシリコン酸化膜を堆積し、層間絶縁膜28とする。

この後、通常のリソグラフィ技術を用い、層間絶縁膜28上に、不純物拡散層24を露出するコンタクトホールのパターンを有するフォトレジスト（図示せず）を形成する。

【0047】

この際、コンタクトホールの端部がゲート電極20上に延在するように、フォトレジストを形成する。こうすることにより、リソグラフィ工程の位置合わせ余裕を大きくできるとともに、微細なホールパターンを露光する必要がないので、リソグラフィ工程を簡略にすることができる。

次いで、このように形成したフォトレジストをマスクとして層間絶縁膜28をエッチングし、不純物拡散層24を露出するコンタクトホール30を開口する（図2（c））。

【0048】

層間絶縁膜28のエッチングは、エッチングストップ膜22に対してエッチング選択性のある条件でエッチングする。こうすることにより、ゲート電極20にダメージを与えることなく、コンタクトホール30を開口することができる。

また、フォトレジストは、位置合わせズレが生じてもゲート電極20上に端部が延在するように配置するので、フォトレジストを形成する際に位置合わせズレが生じてコンタクトホール30内に露出する不純物拡散層24のコンタクト面積が変化することはない。したがって、不純物拡散層24上のコンタクトを安定して形成することができる。

【0049】

なお、エッチングストップ膜22に対してエッチング選択性のあるエッチング条件を用いる場合であっても、例えばサイドウォール絶縁膜のように平坦部に形成されていない膜では膜ペリが生じることが経験的に認められている。しかしな

がら、本実施形態による半導体装置の製造方法では、エッチングストッパ膜 22 がゲート電極 20 上の平坦部に設けられているので、エッチングストッパ膜 22 の膜ベリを抑えつつコンタクトホール 30 を開口することができる。

#### 【0050】

続いて、全面に、例えば CVD 法によりシリコン酸化膜を堆積し、その後、垂直方向にエッチングが進行する異方性エッチングを行い、層間絶縁膜 28、ゲート電極 20 及びエッチングストッパ膜 22 の側壁に、サイドウォール絶縁膜 32 を形成する（図 2（d））。

なお、上記シリコン酸化膜堆積前に、熱酸化法にて 3 nm 程度の酸化膜を成長することによりゲート電極端部のゲート酸化膜のダメージを回復しておくことも有用である。

#### 【0051】

このようにサイドウォール絶縁膜 32 を形成することにより、ゲート電極 20 はシリコン窒化膜 22、サイドウォール絶縁膜 32 により覆われ、コンタクトホール 30 内には露出しなくなる。

なお、サイドウォール絶縁膜 32 に自己整合でコンタクトホールを開口する必要がないので、サイドウォール絶縁膜 32 にはシリコン酸化膜を適用することができる。したがって、サイドウォール絶縁膜 32 をシリコン窒化膜により形成する従来の半導体装置と比較して、トランジスタのホットキャリア耐性を高めることができる。

#### 【0052】

この後、コンタクトホール 30 を介して不純物拡散層 24 に接続された配線層やプラグ（図示せず）を形成する。

このように、本実施形態によれば、ゲート電極 20 の端部を露出するコンタクトホール 30 を開口し、その後、ゲート電極 20 の側壁にサイドウォール絶縁膜 32 を形成するので、コンタクトホール 30 を開口する際のリソグラフィーにおいて位置合わせズレが生じてても不純物拡散層 24 上のコンタクト面積が変化することはない。したがって、不純物拡散層 24 上のコンタクトを安定して形成することができる。

## 【0053】

また、ゲート電極の側壁に形成したサイドウォール絶縁膜に自己整合でコンタクトホールを開口する必要はないので、サイドウォール絶縁膜にはシリコン酸化膜を適用することができる。したがって、サイドウォール絶縁膜をシリコン窒化膜により形成する従来の半導体装置と比較して、トランジスタのホットキャリア耐性を高めることができる。

## 【0054】

## [第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法について図3乃至図6を用いて説明する。

図3は本実施形態による半導体装置の構造を示す平面図、図4は本実施形態による半導体装置の構造を示す概略断面図、図5及び図6は本実施形態による半導体装置の製造方法を示す工程断面図である。

## 【0055】

始めに、本実施形態による半導体装置の構造について図3及び図4を用いて説明する。

シリコン基板10上には、素子間を分離するための素子分離膜12が形成されている。素子分離膜12が形成されたシリコン基板10上には、ゲート絶縁膜14を介してゲート電極20が形成されている。ゲート電極20は、紙面上下方向に延在して形成されており、図3(a)に示すように、素子分離膜12により画定された一の素子領域上にそれぞれ2本づつのゲート電極20が形成されている。ゲート電極20上には、シリコン酸化膜よりなる絶縁膜36と、シリコン窒化膜よりなるエッチングストッパ膜22とが形成されている。ゲート電極20の両側のシリコン基板10には、不純物拡散層24、26が形成されている。上面が絶縁膜36及びエッチングストッパ膜22により覆われたゲート電極20の間には、層間絶縁膜28が埋め込まれ、基板表面が平坦化されている。層間絶縁膜28には、図3(b)に示すように、素子分離膜12により画定された素子領域を囲う開口部38が設けられており、開口部38内の層間絶縁膜28は除去されている。こうして、不純物拡散層24上に開口されたコンタクトホール30と、不

純物拡散層 26 上に開口されたコンタクトホール 40 とが形成されている。コンタクトホール 30、40 の側壁には、シリコン酸化膜よりなるサイドウォール絶縁膜 32 が形成されている。

【0056】

以下、本実施形態による半導体装置の製造方法に沿って、本実施形態による半導体装置及びその製造方法を詳細に説明する。

まず、例えば p 形シリコン基板 10 上の素子分離領域に、通常のフォトリソグラフィ技術を用いて溝を形成する。

次いで、例えば CVD 法によりシリコン酸化膜を堆積し、その後、その表面を研磨し、シリコン基板 10 に形成された溝内にのみシリコン酸化膜を残存させる。こうして、シリコン基板 10 内に埋め込んで形成された素子分離膜 12 を形成する。なお、このように形成した素子分離膜 12 は、いわゆるトレンチアイソレーションとして知られている。素子分離膜 12 は、LOCOS (Local Oxidation of Silicon) 法など、他の素子分離形成方法により形成してもよいが、上述したようなトレンチ法を用いれば基板表面の平坦性を維持できるので、研磨を用いたプラグの埋め込みが容易となるなど、後工程において様々な利便がある。

【0057】

素子分離膜 12 は、例えば図 3 (a) に示すように、千鳥格子状に素子領域が配置されるように形成する。図 3 (a) に示す配置は、DRAM のメモリセル領域に適用されるパターンの一例を示したものである。

続いて、素子分離膜 12 を形成したシリコン基板 10 を熱酸化し、シリコン基板 10 表面にゲート絶縁膜 14 を形成する。

【0058】

この後、ゲート絶縁膜 14 上に、例えば CVD 法によりゲート電極となる多結晶シリコン膜 16 を堆積する。

次いで、多結晶シリコン膜 16 上に、例えば CVD 法によりシリコン酸化膜よりなる絶縁膜 36 を堆積する。なお、後述するが、絶縁膜 36 は必ずしも必要はない。

【0059】

続いて、絶縁膜36上に、例えばCVD法によりエッチングストッパ膜となるシリコン窒化膜18を堆積する(図5(a))。

この後、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜18、絶縁膜36、多結晶シリコン膜16よりなる積層膜をパターニングし、上面が絶縁膜36及びエッチングストッパ膜22で覆われたゲート電極20を形成する。

#### 【0060】

次いで、ゲート電極20をマスクとしてシリコン基板10に例えばリンイオンをイオン注入し、不純物拡散層24、26を形成する(図5(b))。

続いて、全面に、例えばCVD法によりシリコン酸化膜を堆積し、その後、エッチングストッパ膜22が露出するまでシリコン酸化膜の表面を例えばCMP法により研磨し、ゲート電極20間に埋め込まれた層間絶縁膜28を形成する(図5(c))。

#### 【0061】

この後、通常のリソグラフィ技術を用い、層間絶縁膜28上に、不純物拡散層24、26を露出するコンタクトホールを形成するためのフォトレジスト46を形成する。

次いで、フォトレジスト46及びゲート電極20上に形成されたエッチングストッパ膜22をマスクとして層間絶縁膜28を異方性エッチングし、不純物拡散層24、26上に開口されたコンタクトホール30、40を形成する(図6(a))。

#### 【0062】

本実施形態による半導体装置及びその製造方法は、フォトレジスト46のパターンに一つの特徴がある。

フォトレジスト46は、不純物拡散層24、26上にそれぞれ開口部を有するパターンとしてもよいが、素子の微細化が進むと不純物拡散層24上に開口するホールパターンと不純物拡散層26上に開口するホールパターンとが非常に接近し、フォトレジストのリソグラフィ自体が困難になる虞がある。

#### 【0063】

しかしながら、本実施形態による半導体装置及びその製造方法では、ゲート電極20上面を覆うエッチングストッパ膜22が形成され、且つ、エッチングストッパ膜22の表面が層間絶縁膜28の表面とほぼ同一平面をなしているので、ゲート電極20を挟んで隣接する不純物拡散層24、26を含み、ゲート電極20を跨いで形成された開口部を有するフォトレジスト46を形成することにより、不純物拡散層24、26を露出する3つのコンタクトホール30、40を、基板表面の平坦性を維持しつつ、且つ、ゲート電極20に自己整合的に開口することができる。

#### 【0064】

したがって、本実施形態によれば、例えば図3(b)に示す開口部38のように、フォトレジスト46のパターンを微細なホールパターンとする必要がないので、フォトレジスト46を形成するためのリソグラフィ工程を簡略にすることができる。また、基板表面の平坦性を維持することは、後工程で不純物拡散層24、26からの引き出し線を形成する際に利便がある。

#### 【0065】

なお、第1実施形態による半導体装置及びその製造方法と同様に、エッチングストッパ膜22の表面は平坦であるので、層間絶縁膜28のエッチングの際におけるエッチングストッパ膜22の膜ベリを抑えつつコンタクトホール30、40を開口することができる。

この後、全面に、例えばCVD法によりシリコン酸化膜を堆積し、その後、異方性エッチングを行い、層間絶縁膜28の側壁、ゲート電極20、絶縁膜36及びエッチングストッパ膜22よりなる積層膜の側壁に、サイドウォール絶縁膜32を形成する(図6(b))。

#### 【0066】

このようにサイドウォール絶縁膜32を形成することにより、ゲート電極20は、エッチングストッパ膜22、絶縁膜36、サイドウォール絶縁膜32により覆われ、コンタクトホール30内には露出しなくなる。

なお、第1実施形態による半導体装置及びその製造方法と同様に、サイドウォール絶縁膜32に自己整合でコンタクトホールを開口する必要はないので、サイ



ドウォール絶縁膜 32 にはシリコン酸化膜を適用することができる。したがって、サイドウォール絶縁膜 32 をシリコン窒化膜により形成する従来の半導体装置と比較して、トランジスタのホットキャリア耐性を高めることができる。

## 【0067】

このように、本実施形態によれば、表面がエッチングストッパ膜 22 で覆われたゲート電極 20 を形成した後に、ゲート電極 20 間に層間絶縁膜 28 を埋め込んで形成し、その後、層間絶縁膜 28 にコンタクトホール 30、40 を形成するので、ゲート電極 20 を挟んで隣接するコンタクトホール 30、40 を、一の開口部 38 を有するフォトレジスト 46 を用いて形成することができる。これにより、コンタクトホール 30、40 を形成する際のリソグラフィ工程を簡略にすることができる。また、第 1 実施形態による半導体装置及びその製造方法と同様に、リソグラフィの位置合わせズレによるコンタクト面積の変動をなくすことができる。

## 【0068】

また、コンタクトホール 30、40 を開口した後にサイドウォール絶縁膜 32 を形成するため、サイドウォール絶縁膜 32 に自己整合でコンタクトホール 30、40 を開口する必要はないので、サイドウォール絶縁膜 32 にはシリコン酸化膜を適用することができる。したがって、サイドウォール絶縁膜 32 をシリコン窒化膜により形成する従来の半導体装置と比較して、トランジスタのホットキャリア耐性を高めることができる。

## 【0069】

なお、このことはサイドウォール絶縁膜としてシリコン窒化膜を用いることを妨げるものではない。

なお、本実施形態では、ゲート電極 20 上に、絶縁膜 36 とエッチングストッパ膜 22 とを設けたが、絶縁膜 36 は必ずしも必要はない。本実施形態においてゲート電極 20 とエッチングストッパ膜 22 との間にシリコン酸化膜よりなる絶縁膜 36 を設けているのは、層間膜の誘電率を低減するためである。すなわち、ゲート電極 20 上に設ける絶縁膜は、寄生容量を低減するためには厚いことが好ましいが、シリコン窒化膜のみよりなる絶縁膜を厚くするよりも、誘電率の小さ

いシリコン酸化膜との積層膜を用いた方がその効果が大きいからである。したがって、例えば、寄生容量の影響が許容され、或いは、他の手段により十分に小さくできるような場合には、必ずしも絶縁膜36を設ける必要はない。

#### 【0070】

また、上記実施形態による半導体装置及びその製造方法では、本発明をDRAMのメモリセル領域に適用した場合を示したが、他の半導体装置においても適用することができる。

また、上記第1及び第2実施形態では、ゲート電極の間に半導体基板に達するコンタクトホールを自己整合で形成する場合について示したが、半導体基板へのコンタクトのみならず、他のコンタクトにも適用することができる。例えば、第2層金属配線の間、第1層金属配線に達するビアホールを自己整合で形成する場合についても同様に適用することができる。

#### 【0071】

すなわち、本発明は、所定の構造を有する下地基板上に隣接して形成された導電体パターン間に、下地基板に達するコンタクトホールを開口する際に広く適用することができる。

#### 〔第3実施形態〕

本発明の第3実施形態による半導体装置及びその製造方法について図7乃至図14を用いて説明する。

#### 【0072】

図7は本実施形態による半導体装置の構造を示す平面図、図8は本実施形態による半導体装置の構造を示す概略断面図、図9乃至図12は本実施形態による半導体装置の製造方法を示す工程断面図、図13は本実施形態による半導体装置におけるビット線コンタクトホールを形成するためのレジストパターンと開口されたコンタクトホールを示す平面図、図14は本実施形態による半導体装置における蓄積電極コンタクトホールを形成するためのレジストパターンと開口されたコンタクトホールを示す平面図である。

#### 【0073】

本実施形態では、第2実施形態による半導体装置及びその製造方法をDRAM

に適用した具体例を示す。

始めに、本実施形態による半導体装置の構造について図7及び図8を用いて説明する。図7は本実施形態による半導体装置の構造を示す平面図、図8(a)は図7のX-X'線断面における概略断面図、図8(b)は図7のY-Y'線断面における概略断面図である。

#### 【0074】

シリコン基板50には、シリコン基板50内に埋め込んで形成された、素子間を分離するための素子分離膜52が形成されている。素子分離膜52が形成されたシリコン基板50上には、図面の縦方向に互いに平行に延在する複数のワード線56が、ゲート絶縁膜54を介して形成されている。ワード線56上には、エッチングストッパ膜58が形成されている。ワード線56の両側のシリコン基板50には不純物拡散層60、62が形成されており、ワード線56により構成されるゲート電極、不純物拡散層60、62とにより転送トランジスタが構成されている。ワード線56間には、エッチングストッパ膜58とほぼ等しい高さの層間絶縁膜64が埋め込まれている。エッチングストッパ膜58及び層間絶縁膜64上には、図面の横方向に互いに平行に延在する複数のビット線74が形成されている。ビット線74は、素子分離膜52により画定される活性領域と交わる場所において、一方の不純物拡散層60に接続されている。他方の不純物拡散層62上には蓄積電極86が形成されている。蓄積電極86上には、誘電体膜88を介して対向電極90が形成されており、こうして、蓄積電極86、誘電体膜88、対向電極90よりなるキャパシタが構成されている。

#### 【0075】

このように1トランジスタ、1キャパシタによりメモリセルが構成されるDRAMにおいて、本実施形態による半導体装置では、不純物拡散層60とビット線74とを接続するコンタクトホールの開孔過程と、不純物拡散層62と蓄積電極86とを接続するコンタクトホールの開孔過程において、第2実施形態による自己整合コンタクトを採用していることに特徴がある。

#### 【0076】

以下、本実施形態による半導体装置の製造方法に沿って、本実施形態による半

導体装置及びその製造方法を詳細に説明する。図9及び図10は図7のX-X'線断面における工程断面図、図11及び図12は図7のY-Y'線断面における工程断面図である。

まず、例えばp形シリコン基板50上の素子分離領域となる領域に、通常のリソグラフィ技術及びエッチング技術を用いて溝を形成する。

【0077】

次いで、例えばCVD法によりシリコン酸化膜を堆積し、その後、その表面を例えばCMP法により研磨し、シリコン基板50に形成された溝内にのみシリコン酸化膜を残存させる。こうして、シリコン基板50内に埋め込んで形成された素子分離膜52を形成する。

なお、このように形成した素子分離膜52は、いわゆるトレンチアイソレーションとして知られている。素子分離膜52は、LOCOS法など、他の素子分離形成方法により形成してもよいが、上述したようなトレンチ法を用いれば基板表面の平坦性を維持できるので、研磨を用いたプラグの埋め込みが容易となるなど、後工程において様々な利便がある。

【0078】

続いて、素子分離膜52を形成したシリコン基板50を熱酸化し、シリコン基板50表面に、例えば膜厚約6nmのゲート絶縁膜54を形成する。

この後、ゲート絶縁膜54上に、例えばCVD法により、膜厚約100nmの多結晶シリコン膜と、膜厚約100nmのWSi（タングステンシリサイド）膜とを堆積する。このように堆積した多結晶シリコン膜及びWSi膜よりなるポリサイド（Polycide）膜は、ワード線となる膜である。

【0079】

次いで、ポリサイド膜上に、例えばCVD法により、膜厚約200nmのシリコン窒化膜を堆積する。シリコン窒化膜は、層間絶縁膜をエッチングする際に用いるエッチングストッパ膜となる膜である。

続いて、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜、ポリサイド膜よりなる積層膜をパターニングし、上面がシリコン窒化膜よりなるエッチングストッパ膜58で覆われた、ポリサイド構造のワード線56を形

成する。ワード線56は、例えば、線幅を $0.2\mu\text{m}$ 、間隔を $0.2\mu\text{m}$ とする。ワード線56は、一の活性領域にそれぞれ2本ずつ延在するように形成する。

【0080】

この後、ワード線56をマスクとしてシリコン基板50に例えばリンイオンをイオン注入し、活性領域に不純物拡散層60、62を形成する(図9(a)、図11(a))。例えば、リンイオンを、加速エネルギー $30\text{keV}$ 、ドーズ量 $2\times 10^{13}\text{cm}^{-2}$ の条件でイオン注入し、不純物拡散層60、62を形成する。

次いで、全面に、例えばCVD法により、膜厚約 $50\text{nm}$ のシリコン酸化膜と、膜厚約 $200\text{nm}$ のBPSG(Boro-Phospho Silicate Glass)膜とを堆積し、その後、窒素雰囲気中で $850^{\circ}\text{C}$ 10分間の熱処理を行い、BPSG膜をリフローする。このように形成したシリコン酸化膜及びBPSG膜は、層間絶縁膜となる膜である。

【0081】

なお、シリコン酸化膜を成長する前に熱酸化を行い、ワード線56の側壁に膜厚約 $2\text{nm}$ 程度のシリコン酸化膜を形成してもよい。また、シリコン酸化膜を成長する前に、周辺回路用トランジスタを含め、ワード線56やゲート電極の側壁にサイドウォール絶縁膜を形成しておき、周辺回路トランジスタの高濃度ソース／ドレインを形成することが望ましい。

【0082】

続いて、例えばCMP法により、エッチングストッパ膜58が露出するまでBPSG膜及びシリコン酸化膜を研磨し、ワード線56間にのみシリコン酸化膜及びBPSG膜を残存させる。こうして、ワード線56間に埋め込まれた層間絶縁膜64を形成する(図9(b)、図11(b))。

この後、通常のリソグラフィ技術を用い、層間絶縁膜64上に、不純物拡散層60を露出するコンタクトホールを形成するためのフォトレジスト66を形成する(図9(c)、図11(c))。フォトレジスト66は、図13(a)に示すように、ビット線と不純物拡散層60とを接続する領域に開口部68を有するパターンとする。ワード線56上にはエッチングストッパ膜58が設けられているので、開口部68はワード線56上に延在して配置することができる。

## 【0083】

次いで、フォトレジスト66及びエッチングストッパ膜58をマスクとして、シリコン窒化膜のエッチング速度が十分小さくなる条件で層間絶縁膜64を異方性エッチングし、不純物拡散層60上に開口されたコンタクトホール70を形成する。フォトレジスト66及びエッチングストッパ膜58をマスクとすることにより、コンタクトホール70は、図13(b)に示すように不純物拡散層60上にのみ開口される。また、コンタクトホール70内に段差が生じることもない。

## 【0084】

続いて、乾燥酸素雰囲気中で800℃の熱処理を行い、膜厚約3nm程度の酸化を行い、ワード線56端部のゲート絶縁膜54が受けたエッチングダメージを回復する。

この後、全面に、例えばCVD法により膜厚約80nmのシリコン酸化膜を堆積し、その後、異方性エッチングを行い、コンタクトホール70の側壁にサイドウォール絶縁膜72を形成する(図9(d))。ワード線56は、エッチングストッパ膜58、サイドウォール絶縁膜72により覆われるので、コンタクトホール70内には露出しなくなる。

## 【0085】

このようにサイドウォール絶縁膜72を形成することにより、ワード線56の側壁には幅約60nmのサイドウォール絶縁膜72が形成されることとなり、最終的なビット線コンタクトホール70のサイズは約0.08μm程度となる。

なお、前記コンタクトホール形成のときに周辺トランジスタを露出しておき、前記サイドウォール形成の後に、周辺回路トランジスタの高濃度ソース/ドレインを形成してもよい。こうすると、周辺回路トランジスタのLDD用サイドウォールと前記コンタクトホール内サイドウォールとを同時に形成でき、工程数を少なくするという利点がある。

## 【0086】

次いで、例えばCVD法により、膜厚約50nmの燐を含有した多結晶シリコン膜と、膜厚約100nmのWSi膜と、膜厚約200nmのシリコン窒化膜とを連続して堆積する。

なお、多結晶シリコン膜は、ビット線コンタクトホール70のサイズの半分以上の膜厚とすることが望ましい。多結晶シリコン膜の膜厚を、ビット線コンタクトホール70のサイズである $0.08\mu\text{m}$ の半分以上の膜厚とすることにより、多結晶シリコン膜がコンタクトホール70内に完全に埋め込まれるので、基板表面をほぼ平坦にすることができる。

## 【0087】

続いて、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜と、WSi膜と、多結晶シリコン膜とからなる積層膜をパターニングし、上面がシリコン窒化膜よりなるエッチングストッパ膜76により覆われた、ポリサイド構造よりなるビット線74を形成する。

この後、全面に、例えばCVD法により、膜厚約 $50\text{nm}$ のシリコン酸化膜と、膜厚約 $200\text{nm}$ のBPSG膜とを堆積し、その後、窒素雰囲気中で $850^{\circ}\text{C}$ 10分間の熱処理を行い、BPSG膜をリフローする。このように形成したシリコン酸化膜及びBPSG膜は、層間絶縁膜となる膜である。

## 【0088】

次いで、例えばCMP法により、エッチングストッパ膜76が露出するまでBPSG膜及びシリコン酸化膜を研磨し、ビット線74間にのみシリコン酸化膜及びBPSG膜を残存させる。こうして、ビット線74間に埋め込まれた層間絶縁膜77を形成する(図9(e)、図11(d))。

続いて、通常のリソグラフィ技術を用い、層間絶縁膜77及びエッチングストッパ膜76上に、不純物拡散層62を露出するコンタクトホールを形成するためのフォトレジスト78を形成する(図10(a))。フォトレジスト78は、図14(a)に示すように、蓄積電極と不純物拡散層62とを接続する領域に開口部80を有するパターンとする。ビット線74上にはエッチングストッパ膜76が設けられているので、開口部80はビット線74上に延在して配置することができる。すなわち、フォトレジスト78は、図14(a)に示すように、ワード線56間の領域を交互に覆うストライプパターンとすることができる。フォトレジスト78をこのようなストライプパターンとすることにより、微細な位置合わせやサイズ合わせが不要となるので、リソグラフィ工程を簡略にすることが

できる。

【0089】

この後、フォトレジスト78及びエッチングストッパ膜76をマスクとして、シリコン窒化膜のエッチング速度が十分小さくなる条件で層間絶縁膜77、64を異方性エッチングし、不純物拡散層62上に開口されたコンタクトホール82を形成する(図12(a))。フォトレジスト78及びエッチングストッパ膜76をマスクとすることにより、コンタクトホール82は、図14(b)に示すように開口される。

【0090】

次いで、乾燥酸素雰囲気中で800℃の熱処理を行い、膜厚約3nm程度の酸化を行い、ワード線56端部のゲート絶縁膜54が受けたエッチングダメージを回復する。

続いて、全面に、例えばCVD法により膜厚約80nmのシリコン酸化膜を堆積し、その後、異方性エッチングを行い、コンタクトホール82の側壁にサイドウォール絶縁膜84を形成する(図12(b)、図10(b))。ビット線74は、エッチングストッパ膜76、サイドウォール絶縁膜84により覆われるので、コンタクトホール82内には露出しなくなる。

【0091】

このようにサイドウォール絶縁膜84を形成することにより、ビット線74の側壁には幅約60nmのサイドウォール絶縁膜84が形成されることとなり、最終的な蓄積電極コンタクトホール82のサイズは約0.08μm程度となる。

この後、例えばCVD法により膜厚約1500nmの燐を含有した多結晶シリコン膜を堆積し、通常のリソグラフィ技術を用いてパターニングし、コンタクトホール82を介して不純物拡散層62に接続された蓄積電極86を形成する。蓄積電極86は、例えば図7(b)に示すように、ビット線74間の領域に形成することができる。

【0092】

次いで、例えばCVD法により膜厚約4nmのシリコン窒化膜を堆積し、その後、湿式酸素雰囲気中にて800℃10分間の熱処理を行ってシリコン窒化膜の



表面を酸化し、シリコン酸化膜換算で約4 nmのシリコン窒化酸化膜よりなる誘電体膜88を形成する。このような誘電体膜により、セル容量として約22 fF程度を得ることができる。なお、タンタルオキサイド膜などの高誘電体膜などを用いれば、キャパシタの高さを縮小することができる。

## 【0093】

続いて、例えばCVD法により、膜厚約100 nmの燐を含んだ多結晶シリコン膜を堆積し、通常のリソグラフィー技術を用いてパターニングし、キャパシタの対向電極90とする（図10（c）、図12（c））。

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを構成する。

## 【0094】

このように、本実施形態によれば、表面がエッチングストップ膜で覆われたワード線又はビット線を形成した後に、ワード線又はビット線間に層間絶縁膜を埋め込んで形成し、その後、層間絶縁膜にコンタクトホールを形成するので、コンタクトホールを形成するためのリソグラフィー工程において微細なホールパターンを形成する必要がなく、且つ、位置合わせ余裕を大きくすることができる。これにより、コンタクトホールを形成するためのリソグラフィー工程を簡略にすることができる。

## 【0095】

また、コンタクトホールを形成するためのフォトレジストの開口部の端部をワード線又はビット線上に延在するので、リソグラフィーにおける位置合わせズレが生じてコンタクトホールサイズが変動することはない。

また、コンタクトホール70を開口した後にサイドウォール絶縁膜72を形成するため、サイドウォール絶縁膜72に自己整合でコンタクトホール70を開口する必要はないので、サイドウォール絶縁膜72にはシリコン酸化膜を適用することができる。したがって、サイドウォール絶縁膜72をシリコン窒化膜により形成する従来の半導体装置と比較して、トランジスタのホットキャリア耐性を高めることができる。

## 【0096】

なお、上記実施形態では、第2実施形態による半導体装置の製造方法を、ビット線コンタクトホール形成工程、及び蓄積電極コンタクトホール形成工程の双方において適用したが、いずれか一方のみに適用してもよい。

#### 〔第4実施形態〕

本発明の第4実施形態による半導体装置及びその製造方法について図15乃至図17を用いて説明する。なお、図7乃至図14に示す第3実施形態による半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

#### 【0097】

図15は本実施形態による半導体装置の構造を示す概略断面図、図16及び図17は本実施形態による半導体装置の製造方法を示す工程断面図である。

第3実施形態による半導体装置及びその製造方法では、ワード線56上に直にエッチングストッパ膜58を設け、上層のビット線74等との層間絶縁膜として用いていた。また、ビット線74上に直にエッチングストッパ膜76を設け、上層の対向電極90等との層間絶縁膜として用いていた。しかしながら、第2実施形態においても述べたとおり、エッチングストッパ膜58に用いたシリコン窒化膜は誘電率が大きく、配線間の寄生容量を増大させる虞がある。

#### 【0098】

本実施形態では、配線間の寄生容量を低減しうる半導体装置の構造及びその製造方法を提供する。

始めに、本実施形態による半導体装置の構造について図15を用いて説明する。なお、装置の平面的レイアウトは、図7に示す第3実施形態による半導体装置と同様であり、図15は、図7のX-X'線断面における概略断面図を示したものである。

#### 【0099】

本実施形態による半導体装置は、図8(a)に示す第3実施形態による半導体装置において、ワード線56とエッチングストッパ膜58との間に、シリコン酸化膜よりなる絶縁膜92が設けられ、ビット線74とエッチングストッパ膜76との間に、シリコン酸化膜よりなる絶縁膜94が設けられていることに特徴があ

る。すなわち、ワード線56とビット線74とを絶縁する層間絶縁膜は、エッチングストッパ膜58と絶縁膜92とから構成されることとなり、また、ビット線74と対向電極90とを絶縁する層間絶縁膜は、エッチングストッパ膜76と絶縁膜94とから構成されている。

#### 【0100】

絶縁膜92、94を構成するシリコン酸化膜は、エッチングストッパ膜58、76を構成するシリコン窒化膜よりも誘電率が小さいので、エッチングストッパ膜58、76を厚くして寄生容量を低減する代わりに、エッチングストッパ膜58、76はストッパとして機能しうる膜厚とし、その下層に絶縁膜92、94を設けることとすれば、層間絶縁膜を極めて厚くせずとも寄生容量を低減することができる。

したがって、このように半導体装置を構成することにより、ビット線コンタクトホール70、蓄積電極コンタクトホール82のアスペクト比を緩和しつつ寄生容量を低減することが可能となる。

#### 【0101】

次に、本実施形態による半導体装置の製造方法について図16及び図17を用いて説明する。なお、図16及び図17は図7のX-X'線断面における工程断面図である。

まず、例えばp形シリコン基板50上の素子分離領域となる領域に、通常のリソグラフィ技術及びエッチング技術を用いて溝を形成する。

#### 【0102】

次いで、例えばCVD法によりシリコン酸化膜を堆積し、その後、その表面を研磨し、シリコン基板50に形成された溝内にのみシリコン酸化膜を残存させる。こうして、シリコン基板50内に埋め込んで形成された素子分離膜52を形成する。

続いて、素子分離膜52を形成したシリコン基板50を熱酸化し、シリコン基板50表面に、例えば膜厚約6nmのゲート絶縁膜54を形成する。

#### 【0103】

この後、ゲート絶縁膜14上に、例えばCVD法により、膜厚約100nmの

多結晶シリコン膜と、膜厚約100nmのWSi膜とを堆積する。このように堆積した多結晶シリコン膜及びWSi膜よりなるポリサイド膜は、ワード線となる膜である。

次いで、ポリサイド膜上に、例えばCVD法により、膜厚約200nmのシリコン酸化膜よりなる絶縁膜92を堆積する。

【0104】

続いて、絶縁膜92上に、例えばCVD法により、膜厚約50～100nmのシリコン窒化膜を堆積する。シリコン窒化膜は、層間絶縁膜をエッチングする際に用いるエッチングストップ膜58となる膜である。

このように形成された絶縁膜92及びシリコン窒化膜は最終的にワード線56とビット線74とを絶縁するための層間絶縁膜として機能することとなる。本実施形態では誘電率の低いシリコン酸化膜よりなる絶縁膜92を設けているので、層間容量を低減することができる。

【0105】

この後、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜、絶縁膜92、ポリサイド膜よりなる積層膜をパターニングし、上面がシリコン窒化膜よりなるエッチングストップ膜58及び絶縁膜92で覆われた、ポリサイド構造のワード線56を形成する。

次いで、ワード線56をマスクとしてシリコン基板50に例えばリンイオンをイオン注入し、活性領域に不純物拡散層60、62を形成する(図16(a))。

【0106】

続いて、例えば図9(b)～図9(d)、図11(b)及び(c)に示す第3実施形態による半導体装置の製造方法と同様にして、層間絶縁膜64、ビット線コンタクトホール70、サイドウォール絶縁膜72を形成する(図16(a)～(d))。

この後、例えばCVD法により、膜厚約50nmの燐を含有した多結晶シリコン膜と、膜厚約100nmのWSi膜と、膜厚約100nmのシリコン酸化膜よりなる絶縁膜94と、膜厚約50～100nmのシリコン窒化膜とを連続して堆積する。

## 【0107】

このように形成された絶縁膜94及びシリコン窒化膜は最終的にビット線56と対向電極90とを絶縁するための層間絶縁膜として機能することとなる。本実施形態では誘電率の低いシリコン酸化膜よりなる絶縁膜94を設けているので、層間容量を低減することができる。

次いで、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜と、絶縁膜94と、WSi膜と、多結晶シリコン膜とからなる積層膜をパターニングし、上面がシリコン窒化膜よりなるエッチングストッパ膜76及び絶縁膜94により覆われた、ポリサイド構造よりなるビット線74を形成する（図17（a））。

## 【0108】

この後、例えば図10（a）～図10（c）、図12（a）～図12（c）に示す第3実施形態による半導体装置の製造方法と同様にして、不純物拡散層62に接続されたキャパシタを形成し、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを構成する（図17（b））。

このように、本実施形態によれば、エッチングストッパ膜58とワード線56との間にシリコン酸化膜よりなる絶縁膜92を、エッチングストッパ膜76とビット線74との間にシリコン酸化膜よりなる絶縁膜94を設けるので、配線間の寄生容量を低減することができる。

## 【0109】

また、同様の層間容量を達成する場合であっても、シリコン窒化膜よりなるエッチングストッパ膜のみにより層間膜を構成する場合と比較して層間膜の膜厚を薄くできるので、ビット線コンタクトホール、蓄積電極コンタクトホールのアスペクト比を小さくすることができる。これにより、コンタクトホールの形成を容易にすることができる。

## 【0110】

## 〔第5実施形態〕

本発明の第5実施形態による半導体装置及びその製造方法について図18乃至図20を用いて説明する。なお、図7乃至図17に示す第3及び第4実施形態に

よる半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

#### 【0111】

図18は本実施形態による半導体装置の構造を示す概略断面図、図19及び図20は本実施形態による半導体装置の製造方法を示す工程断面図である。

第3及び第4実施形態による半導体装置及びその製造方法では、ビット線74上を覆うエッチングストッパ膜76としてシリコン窒化膜を用いたが、必ずしも絶縁膜である必要はない。層間絶縁膜64に対してエッチング選択性を得られる膜であれば、たとえば多結晶シリコン膜などの導電性膜によってエッチングストッパ膜76を構成することもできる。

#### 【0112】

本実施形態では、第4実施形態による半導体装置及びその製造方法において、ビット線74上を覆うエッチングストッパ膜76として多結晶シリコン膜を用いた場合について説明する。

始めに、本実施形態による半導体装置の構造について図18を用いて説明する。なお、装置の平面図は、図7に示す第3実施形態による半導体装置と同様である。

#### 【0113】

本実施形態による半導体装置は、基本的な構造は図15に示す第4実施形態による半導体装置の構造と同じであるが、ビット線74上を覆うエッチングストッパ膜76が、多結晶シリコン膜よりなるエッチングストッパ膜96により構成されていることに特徴がある。

次に、本実施形態による半導体装置の製造方法について図19及び図20を用いて説明する。なお、図19及び図20は図7のY-Y'線断面における工程断面図である。

#### 【0114】

まず、例えば図9(a)～(d)、図11(a)～図11(c)に示す第3実施形態による半導体装置の製造方法と同様にして、層間絶縁膜64に開口されたビット線コンタクトホール70、サイドウォール絶縁膜72を形成する(図19

(a) ~ (c))。

次いで、例えばCVD法により、膜厚約50nmの燐を含有した多結晶シリコン膜と、膜厚約100nmのWSi膜と、膜厚約100nmのシリコン酸化膜よりなる絶縁膜94と、膜厚約50~100nmの多結晶シリコン膜とを連続して堆積する。

【0115】

続いて、通常のリソグラフィ技術及びエッチング技術により、多結晶シリコン膜と、絶縁膜94と、WSi膜と、多結晶シリコン膜とからなる積層膜をパターンニングし、上面が多結晶シリコン膜よりなるエッチングストップ膜96及び絶縁膜94により覆われた、ポリサイド構造よりなるビット線74を形成する。

この後、全面に、例えばCVD法により、膜厚約50nmのシリコン酸化膜と、膜厚約200nmのBPSG膜とを堆積し、その後、窒素雰囲気中で850℃10分間の熱処理を行い、BPSG膜をリフローする。このように形成したシリコン酸化膜及びBPSG膜は、層間絶縁膜となる膜である。

【0116】

次いで、例えばCMP法により、エッチングストップ膜76が露出するまでBPSG膜及びシリコン酸化膜を研磨し、ビット線74間にのみシリコン酸化膜及びBPSG膜を残存させる。こうして、ビット線74間に埋め込まれた層間絶縁膜77を形成する(図19(d))。

続いて、通常のリソグラフィ技術を用い、層間絶縁膜77及びエッチングストップ膜76上に、不純物拡散層62を露出するコンタクトホールを形成するためのフォトレジスト78を形成する(図10(a)参照)。フォトレジスト78は、図14(a)に示すように、蓄積電極と不純物拡散層62とを接続する領域に開口部80を有するパターンとする。

【0117】

この後、フォトレジスト78及びエッチングストップ膜96をマスクとして、多結晶シリコン膜のエッチング速度が十分小さくなる条件で層間絶縁膜64を異方性エッチングし、不純物拡散層62上に開口されたコンタクトホール82を形成する(図20(a))。

次いで、乾燥酸素雰囲気中で800℃の熱処理を行い、膜厚約3nm程度の酸化を行い、ワード線56端部のゲート絶縁膜54が受けたエッチングダメージを回復する。

【0118】

続いて、全面に、例えばCVD法により膜厚約80nmのシリコン酸化膜を堆積し、その後、異方性エッチングを行い、コンタクトホール82の側壁にサイドウォール絶縁膜84を形成する（図20（b））。

この後、例えばCVD法により膜厚約1500nmの燐を含有した多結晶シリコン膜を堆積し、通常のリソグラフィ技術を用いてパターニングし、コンタクトホール82を介して不純物拡散層62に接続された蓄積電極86を形成する。この際、ビット線74上の多結晶シリコン膜よりなるエッチングストッパ膜96を同時に除去する。エッチングストッパ膜96は、ビット線74のパターンと蓄積電極86のパターンとが重なる領域に残存することとなる。

【0119】

次いで、例えばCVD法により膜厚約4nmのシリコン窒化膜を堆積し、その後、湿式酸素雰囲気中にて800℃10分間の熱処理を行ってシリコン窒化膜の表面を酸化し、シリコン酸化膜換算で約4nmのシリコン窒化酸化膜よりなる誘電体膜88を形成する。

続いて、例えばCVD法により、膜厚約100nmの燐を含んだ多結晶シリコン膜を堆積し、通常のリソグラフィ技術を用いてパターニングし、キャパシタの対向電極90とする（図20（c））。

【0120】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを構成する。

このように、本実施形態によれば、蓄積電極コンタクトホール82を開口する際に用いるエッチングストッパ膜96として多結晶シリコン膜などの導電膜を用いることによっても、第2実施形態によるコンタクトホール形成技術を用いて蓄積電極コンタクトホール82を形成することができる。

【0121】



〔第6実施形態〕

本発明の第6実施形態による半導体装置及びその製造方法について図21及び図22を用いて説明する。なお、図7乃至図20に示す第3乃至第5実施形態による半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0122】

図21は本実施形態による半導体装置の構造を示す概略断面図、図22は本実施形態による半導体装置の製造方法を示す工程断面図である。

第5実施形態による半導体装置及びその製造方法では、ビット線74を覆うエッチングストッパ膜96として多結晶シリコン膜を用いた場合を示したが、多結晶シリコン膜などの導電膜よりなるエッチングストッパ膜を、ワード線56上を覆うエッチングストッパ膜58として用いることもできる。

【0123】

本実施形態では、第4実施形態による半導体装置及びその製造方法において、ワード線56上を覆うエッチングストッパ膜58として多結晶シリコン膜を用いた場合について説明する。

始めに、本実施形態による半導体装置の構造について図21を用いて説明する。なお、装置の平面図は、図7に示す第3実施形態による半導体装置と同様である。

【0124】

本実施形態による半導体装置は、基本的な構造は図15に示す第4実施形態による半導体装置の構造と同じであるが、ワード線56上を覆うエッチングストッパ膜58が、多結晶シリコン膜よりなるエッチングストッパ膜98により構成されていることに特徴がある。

次に、本実施形態による半導体装置の製造方法について図22を用いて説明する。なお、図22は図7のX-X'線断面における工程断面図である。

【0125】

まず、例えばp形シリコン基板50上の素子分離領域となる領域に、通常のリソグラフィ技術及びエッチング技術を用いて溝を形成する。

次いで、例えばCVD法によりシリコン酸化膜を堆積し、その後、その表面を研磨し、シリコン基板50に形成された溝内にのみシリコン酸化膜を残存させる。こうして、シリコン基板50内に埋め込んで形成された素子分離膜52を形成する。

【0126】

続いて、素子分離膜52を形成したシリコン基板50を熱酸化し、シリコン基板50表面に、例えば膜厚約6nmのゲート絶縁膜54を形成する。

この後、ゲート絶縁膜14上に、例えばCVD法により、膜厚約100nmの多結晶シリコン膜と、膜厚約100nmのWSi膜とを堆積する。このように堆積した多結晶シリコン膜及びWSi膜よりなるポリサイド膜は、ワード線となる膜である。

【0127】

次いで、ポリサイド膜上に、例えばCVD法により、膜厚約200nmのシリコン酸化膜よりなる絶縁膜92を堆積する。

続いて、絶縁膜92上に、例えばCVD法により、膜厚約50～100nmの多結晶シリコン膜を堆積する。この多結晶シリコン膜は、層間絶縁膜をエッチングする際に用いるエッチングストップ膜98となる膜である。

【0128】

この後、通常のリソグラフィ技術及びエッチング技術により、多結晶シリコン膜、絶縁膜92、ポリサイド膜よりなる積層膜をパターンニングし、上面が多結晶シリコン膜よりなるエッチングストップ膜98及び絶縁膜92で覆われた、ポリサイド構造のワード線56を形成する。

次いで、ワード線56をマスクとしてシリコン基板50に例えばリンイオンをイオン注入し、活性領域に不純物拡散層60、62を形成する（図22（a））。

【0129】

続いて、全面に、例えばCVD法により、膜厚約50nmのシリコン酸化膜と、膜厚約200nmのBPSG膜とを堆積し、その後、窒素雰囲気中で850℃10分間の熱処理を行い、BPSG膜をリフローする。このように形成したシリコン酸化膜及びBPSG膜は、層間絶縁膜となる膜である。

この後、例えばCMP法により、エッチングストップ膜98が露出するまでBPSG膜及びシリコン酸化膜を研磨し、ワード線56間にのみシリコン酸化膜及びBPSG膜を残存させる。こうして、ワード線56間に埋め込まれた層間絶縁膜64を形成する(図22(b))。

#### 【0130】

次いで、通常のリソグラフィー技術を用い、層間絶縁膜64上に、不純物拡散層60を露出するコンタクトホールを形成するためのフォトレジスト66を形成する(図22(c))。

続いて、フォトレジスト66及びエッチングストップ膜98をマスクとして、多結晶シリコン膜のエッチング速度が十分小さくなる条件で層間絶縁膜64を異方性エッチングし、不純物拡散層60上に開口されたコンタクトホール70を形成する。

#### 【0131】

この後、乾燥酸素雰囲気中で800℃の熱処理を行い、膜厚約3nm程度の酸化を行い、ワード線56端部のゲート絶縁膜54が受けたエッチングダメージを回復する。

次いで、全面に、例えばCVD法により膜厚約80nmのシリコン酸化膜を堆積し、その後、異方性エッチングを行い、コンタクトホール70の側壁にサイドウォール絶縁膜72を形成する(図22(d))。

#### 【0132】

続いて、例えばCVD法により、膜厚約50nmの燐を含有した多結晶シリコン膜と、膜厚約100nmのWSi膜と、膜厚約200nmのシリコン窒化膜とを連続して堆積する。

この後、通常のリソグラフィー技術及びエッチング技術により、シリコン窒化膜と、WSi膜と、多結晶シリコン膜とからなる積層膜をパターンニングし、上面がシリコン窒化膜よりなるエッチングストップ膜76により覆われた、ポリサイド構造よりなるビット線74を形成する。この際、ワード線56上を覆うエッチングストップ膜98は、ビット線74のパターンニングと同時に除去する。エッチングストップ膜98は、ビット線のパターンとワード線のパターンとが交差する

領域に残存することとなる（図22（e））。

【0133】

この後、通常のDRAMの製造方法と同様にして、不純物拡散層62に接続されたキャパシタを形成し、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを構成する。

なお、本実施形態による半導体装置の製造方法では、ビット線74をパターンニングした後、ビット線74間にはエッチングストッパ膜98が残存しないこととなる。このため、蓄積電極コンタクトホールを開口する工程では第2実施形態による自己整合コンタクトの形成方法を適用することができないが、通常のリソグラフィの位置合わせにより蓄積電極コンタクトホールを開口することができる。

【0134】

また、後述する第7実施形態のようにプラグを用いる場合には、蓄積電極コンタクトホールはワード線に自己整合コンタクトする必要がないから、上記したワード線上のエッチングストッパ膜の一部が除去されていても何ら不都合を生じない。

このように、本実施形態によれば、ビット線コンタクトホール70を開口する際に用いるエッチングストッパ膜98として多結晶シリコン膜などの導電膜を用いることによっても、第2実施形態によるコンタクトホール形成技術を用いてビット線コンタクトホール70を形成することができる。

【0135】

[第7実施形態]

本発明の第7実施形態による半導体装置及びその製造方法について図23乃至図30を用いて説明する。なお、図7乃至図22に示す第3乃至第6実施形態による半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0136】

図23は本実施形態による半導体装置の構造を示す概略断面図、図24乃至図27は本実施形態による半導体装置の製造方法を示す工程断面図、図28は本実

施形態による半導体装置におけるビット線コンタクトホールを形成するためのレジストパターンと開口されたコンタクトホールを示す平面図、図29は本実施形態による半導体装置における蓄積電極コンタクトホールを形成するためのレジストパターンと開口されたコンタクトホールを示す平面図、図30は本実施形態の変形例による半導体装置におけるビット線コンタクトホールを形成するためのレジストパターンを示す平面図である。

## 【0137】

第3乃至第6実施形態による半導体装置においては、シリコン基板10を露出する蓄積電極コンタクトホール82を形成していた。しかしながら、素子の微細化が進むとコンタクトサイズが極めて小さくなり、コンタクトホールのアスペクト比が増大し、ひいてはコンタクトホール自体のエッチングが困難となる。

本実施形態では、コンタクトホールのアスペクト比の増大を緩和しうる半導体装置及びその製造方法を提供する。

## 【0138】

始めに、本実施形態による半導体装置の構造について図23を用いて説明する。なお、装置の平面図は、図7に示す第3実施形態による半導体装置と同様である。

本実施形態による半導体装置は、図23に示すように、ビット線コンタクトホール70及び蓄積電極コンタクトホール82の底部に、層間絶縁膜64とほぼ同じ高さを有するプラグ104、106が形成されていることに特徴がある。

## 【0139】

以下、本実施形態による半導体装置の製造方法に沿って、本実施形態による半導体装置及びその製造方法を詳細に説明する。図24及び図25は図7のX-X'線断面における工程断面図、図26及び図27は図7のY-Y'線断面における工程断面図である。

まず、例えば図9(a)及び図9(b)、図11(a)及び図11(b)に示す第3実施形態による半導体装置の製造方法と同様にして、ワード線56間に層間絶縁膜64を埋め込む(図24(a)～(b)、図26(a)～(b))。

## 【0140】

次いで、通常のリソグラフィー技術を用い、層間絶縁膜64上に、不純物拡散層60、62を露出するコンタクトホールを形成するためのフォトレジスト66を形成する(図24(c))。フォトレジスト66は、図28(a)に示すように、ビット線と不純物拡散層60とを接続する領域に開口部68を有し、蓄積電極と不純物拡散層62とを接続する領域に開口部100を有するパターンとする。

#### 【0141】

ワード線56上にはエッチングストッパ膜58が設けられているので、開口部68、100はワード線56上に延在して配置することができる。したがって、フォトレジスト66は、図28(a)に示すパターンのみならず、例えば図30に示すように開口部68と開口部100とを網目状に繋げたパターンとすることもできる。図30のようなマスクパターンとすれば微細なホールパターンを形成する必要がないので、リソグラフィー工程を簡略にすることができる。

#### 【0142】

続いて、フォトレジスト66及びエッチングストッパ膜58をマスクとして、シリコン窒化膜のエッチング速度が十分小さくなる条件で層間絶縁膜64を異方性エッチングし、不純物拡散層60上に開口されたコンタクトホール70と、不純物拡散層62上に開口されたコンタクトホール102を形成する。フォトレジスト66及びエッチングストッパ膜58をマスクとすることにより、コンタクトホール70、102は、図28(b)に示すように開口される。

#### 【0143】

続いて、乾燥酸素雰囲気中で800℃の熱処理を行い、膜厚約3nm程度の酸化を行い、ワード線56端部のゲート絶縁膜54が受けたエッチングダメージを回復する。

この後、全面に、例えばCVD法により膜厚約80nmのシリコン酸化膜を堆積し、その後、異方性エッチングを行い、コンタクトホール70、102の側壁にサイドウォール絶縁膜72を形成する(図24(d)、図26(c))。

#### 【0144】

次いで、全面に、例えばCVD法により燐をドーブした多結晶シリコン膜を堆

積し、その後、エッチングストッパ膜58の表面が露出するまで多結晶シリコン膜の表面を例えばCMP法により研磨し、コンタクトホール70、102内のみ多結晶シリコン膜を残存させる。こうして、コンタクトホール70内に埋め込まれたプラグ104と、コンタクトホール102に埋め込まれたプラグ106とを形成する(図24(e)、図26(d))。プラグ104はビット線コンタクトを底上げする役割を担い、プラグ106は蓄積電極コンタクトを底上げする役割を担うことになる。

#### 【0145】

本実施形態による半導体装置及びその製造方法では、エッチングストッパ膜58の表面と層間絶縁膜64の表面とがほぼ同一平面をなし、基板の表面平坦性が維持されているので、CMP法などの研磨を用いることによって容易にプラグ42、44を形成することができる。

なお、研磨を用いずに通常のリソグラフィ技術により配線層を形成する場合においても、基板の表面平坦性が維持されているので、焦点深度の問題を考慮せずとも微細なパターニングを行うことができる。

#### 【0146】

続いて、全面に、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜108を形成する。

この後、通常のリソグラフィ技術及びエッチング技術を用い、プラグ104上の層間絶縁膜108にコンタクトホール110を開口する。

次いで、例えばCVD法により、膜厚約50nmの燐を含有した多結晶シリコン膜と、膜厚約100nmのWSi膜と、膜厚約200nmのシリコン窒化膜とを連続して堆積する。

#### 【0147】

続いて、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜と、WSi膜と、多結晶シリコン膜とからなる積層膜をパターニングし、上面がシリコン窒化膜よりなるエッチングストッパ膜76により覆われた、ポリサイド構造よりなるビット線74を形成する。ビット線74は、層間絶縁膜108に形成されたコンタクトホール110を介してプラグ104に接続されることとな

る。

【0148】

この後、全面に、例えばCVD法により、膜厚約50nmのシリコン酸化膜と、膜厚約200nmのBPSG膜とを堆積し、その後、窒素雰囲気中で850℃10分間の熱処理を行い、BPSG膜をリフローする。このように形成したシリコン酸化膜及びBPSG膜は、層間絶縁膜となる膜である。

次いで、例えばCMP法により、エッチングストッパ膜76が露出するまでBPSG膜及びシリコン酸化膜を研磨し、ビット線74間にのみシリコン酸化膜及びBPSG膜を残存させる。こうして、ビット線74間に埋め込まれた層間絶縁膜77を形成する(図26(e))。

【0149】

続いて、通常のリソグラフィ技術を用い、層間絶縁膜77及びエッチングストッパ膜76上に、プラグ106を露出するコンタクトホールを形成するためのフォトレジスト78を形成する(図25(a))。ビット線74上にはエッチングストッパ膜76が設けられているので、開口部80はビット線74上に延在して配置することができ、図29(a)に示すように、ワード線56間の領域を交互に覆うストライプパターンとすることができる。

【0150】

この後、フォトレジスト78及びエッチングストッパ膜76をマスクとして、シリコン窒化膜のエッチング速度が十分小さくなる条件で層間絶縁膜64を異方性エッチングし、プラグ106上に開口されたコンタクトホール82を形成する(図27(a))。フォトレジスト78及びエッチングストッパ膜76をマスクとすることにより、コンタクトホール82は、図29(b)に示すように開口される。

【0151】

続いて、全面に、例えばCVD法により膜厚約80nmのシリコン酸化膜を堆積し、その後、異方性エッチングを行い、コンタクトホール82の側壁にサイドウォール絶縁膜84を形成する(図25(b)、図27(b))。

この後、例えばCVD法により膜厚約1500nmの燐を含有した多結晶シリ



コン膜を堆積し、通常のリソグラフィー技術を用いてパターニングし、プラグ106を介して不純物拡散層62に接続された蓄積電極86を形成する。蓄積電極86と不純物拡散層62とを接続するコンタクトは、プラグ106により底上げされているので、本実施形態による半導体装置では、アスペクト比の大きいコンタクトホール82を形成する必要がない。したがって、コンタクトホール82のエッチングを容易にすることができる。

#### 【0152】

次いで、例えばCVD法により膜厚約4nmのシリコン窒化膜を堆積し、その後、湿式酸素雰囲気中にて800℃10分間の熱処理を行ってシリコン窒化膜の表面を酸化し、シリコン酸化膜換算で約4nmのシリコン窒化酸化膜よりなる誘電体膜88を形成する。

続いて、例えばCVD法により、膜厚約100nmの燐を含んだ多結晶シリコン膜を堆積し、通常のリソグラフィー技術を用いてパターニングし、キャパシタの対向電極90とする（図25（c）、図27（c））。

#### 【0153】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを構成する。

このように、本実施形態によれば、ビット線74と不純物拡散層60とを接続するコンタクト及び蓄積電極86と不純物拡散層62とを接続するコンタクトを、プラグ104、106により底上げするので、コンタクトホール70、82を開口を容易にすることができる。

#### 【0154】

なお、上記実施形態では、第3実施形態による半導体装置及びその製造方法においてコンタクトを底上する場合を示したが、他の実施形態による半導体装置及びその製造方法においても同様に適用することができる。

#### 〔第8実施形態〕

本発明の第8実施形態による半導体装置及びその製造方法について図31乃至図35を用いて説明する。なお、図7乃至図30に示す第3乃至第7実施形態による半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明

を省略又は簡略にする。

【0155】

図31は本実施形態による半導体装置の構造を示す概略断面図、図32乃至図33は本実施形態による半導体装置の製造方法を示す工程断面図である。

本実施形態による半導体装置及びその製造方法では、第3実施形態による半導体装置及びその製造方法において、ビット線コンタクトホール及び蓄積電極コンタクトホールの形成に、第1実施形態による自己整合コンタクトの形成方法を適用した場合について説明する。

【0156】

始めに、本実施形態による半導体装置の構造について図31を用いて説明する。なお、装置の平面図は、図7に示す第3実施形態による半導体装置と同様である。

シリコン基板50には、シリコン基板50内に埋め込んで形成された、素子間を分離するための素子分離膜52が形成されている。素子分離膜52が形成されたシリコン基板50上には、図面の縦方向に互いに平行に延在する複数のワード線56が、ゲート絶縁膜54を介して形成されている。ワード線56上には、エッチングストッパ膜58が形成されている。ワード線56の両側のシリコン基板50には不純物拡散層60、62が形成されており、ワード線56により構成されるゲート電極、不純物拡散層60、62とにより転送トランジスタが構成されている。ワード線56上には層間絶縁膜64が形成されている。層間絶縁膜64上には、図面の横方向に互いに平行に延在する複数のビット線74が形成されている。ビット線74は、素子分離膜52により画定される活性領域と交わる場所において、一方の不純物拡散層60に接続されている。他方の不純物拡散層62上には蓄積電極86が形成されている。蓄積電極86上には、誘電体膜88を介して対向電極90が形成されており、こうして、蓄積電極86、誘電体膜88、対向電極90よりなるキャパシタが構成されている。

【0157】

このように1トランジスタ、1キャパシタによりメモリセルが構成されるDRAMにおいて、本実施形態による半導体装置では、不純物拡散層60とビット線

74とを接続するコンタクトホールの開孔過程と、不純物拡散層62と蓄積電極86とを接続するコンタクトホールの開孔過程において、第1実施形態による自己整合コンタクトを採用していることに特徴がある。

【0158】

以下、本実施形態による半導体装置の製造方法に沿って、本実施形態による半導体装置及びその製造方法を詳細に説明する。図32及び図33は図7のX-X'線断面における工程断面図、図34及び図35は図7のY-Y'線断面における工程断面図である。

まず、例えばp形シリコン基板50上の素子分離領域となる領域に、通常のリソグラフィ技術及びエッチング技術を用いて溝を形成する。

【0159】

次いで、例えばCVD法によりシリコン酸化膜を堆積し、その後、その表面を研磨し、シリコン基板50に形成された溝内にのみシリコン酸化膜を残存させる。こうして、シリコン基板50内に埋め込んで形成された素子分離膜52を形成する。

続いて、素子分離膜52を形成したシリコン基板50を熱酸化し、シリコン基板50表面に、例えば膜厚約6nmのゲート絶縁膜54を形成する。

【0160】

この後、ゲート絶縁膜54上に、例えばCVD法により、膜厚約100nmの多結晶シリコン膜と、膜厚約100nmのWSi（タングステンシリサイド）膜とを堆積する。このように堆積した多結晶シリコン膜及びWSi膜よりなるポリサイド膜は、ワード線となる膜である。

次いで、ポリサイド膜上に、例えばCVD法により、膜厚約200nmのシリコン窒化膜を堆積する。シリコン窒化膜は、層間絶縁膜をエッチングする際に用いるエッチングストッパ膜となる膜である。

【0161】

続いて、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜、ポリサイド膜よりなる積層膜をパターンニングし、上面がシリコン窒化膜よりなるエッチングストッパ膜58で覆われた、ポリサイド構造のワード線56を形

成する。

この後、ワード線56をマスクとしてシリコン基板50に例えば燐イオンをイオン注入し、活性領域に不純物拡散層60、62を形成する(図32(a)、図34(a))。例えば、燐イオンを、加速エネルギー30keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入し、不純物拡散層60、62を形成する。

#### 【0162】

次いで、全面に、例えばCVD法によりシリコン酸化膜を堆積し、その後、例えばCMP法によりシリコン酸化膜の表面を研磨して平坦化し、シリコン酸化膜よりなる層間絶縁膜64を形成する(図32(b)、図34(b))。

続いて、通常のリソグラフィ技術を用い、層間絶縁膜64上に、不純物拡散層60を露出するコンタクトホールを形成するためのフォトレジスト66を形成する。フォトレジスト66は、図13(a)に示すように、開口部68の端部がワード線56上に延在するようにする。こうすることにより、フォトレジスト66の開口サイズを大きくできるとともに、位置合わせズレ余裕をも大きくすることができる。

#### 【0163】

この後、フォトレジスト66及びエッチングストップ膜58をマスクとして、シリコン窒化膜のエッチング速度が十分小さくなる条件で層間絶縁膜64を異方性エッチングし、不純物拡散層60上に開口されたコンタクトホール70を形成する(図32(c)、図34(c))。

続いて、乾燥酸素雰囲気中で800℃の熱処理を行い、膜厚約3nm程度の酸化を行い、ワード線56端部のゲート絶縁膜54が受けたエッチングダメージを回復する。

#### 【0164】

この後、全面に、例えばCVD法により膜厚約80nmのシリコン酸化膜を堆積し、その後、異方性エッチングを行い、コンタクトホール70内の層間絶縁膜64側壁、ワード線56及びエッチングストップ膜58の側壁に、サイドウォール絶縁膜72を形成する(図32(d))。

次いで、例えばCVD法により、膜厚約50nmの燐を含有した多結晶シリコ

ン膜と、膜厚約100nmのWSi膜と、膜厚約200nmのシリコン窒化膜とを連続して堆積する。

#### 【0165】

続いて、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜と、WSi膜と、多結晶シリコン膜とからなる積層膜をパターンニングし、上面がシリコン窒化膜よりなるエッチングストッパ膜76により覆われた、ポリサイド構造よりなるビット線74を形成する(図32(e))。

この後、全面に、例えばCVD法によりシリコン酸化膜を堆積し、その後、例えばCMP法によりシリコン酸化膜の表面を研磨して平坦化し、シリコン酸化膜よりなる層間絶縁膜77を形成する(図32(b)、図34(b))。

#### 【0166】

この後、通常のリソグラフィ技術を用い、層間絶縁膜77上に、不純物拡散層62を露出するコンタクトホールを形成するためのフォトレジスト78を形成する(図33(a))。ビット線74上にはエッチングストッパ膜76が設けられているので、開口部80はビット線74上に延在して配置することができ、図14(a)に示すように、ワード線56間の領域を交互に覆うストライプパターンとすることができる。フォトレジスト78をこのようなストライプパターンとすることにより、微細な位置合わせやサイズ合わせが不要となるので、リソグラフィ工程を簡略にすることができる。

#### 【0167】

次いで、フォトレジスト78及びエッチングストッパ膜76をマスクとして、シリコン窒化膜のエッチング速度が十分小さくなる条件で層間絶縁膜64を異方性エッチングし、不純物拡散層62上に開口されたコンタクトホール82を形成する(図35(a))。

続いて、乾燥酸素雰囲気中で800℃の熱処理を行い、膜厚約3nm程度の酸化を行い、ワード線56端部のゲート絶縁膜54が受けたエッチングダメージを回復する。

#### 【0168】

この後、全面に、例えばCVD法により膜厚約80nmのシリコン酸化膜を堆

積し、その後、異方性エッチングを行い、コンタクトホール82の側壁及び層間絶縁膜77の側壁にサイドウォール絶縁膜84を形成する（図33（b）、図35（b））。

次いで、例えばCVD法により膜厚約1500nmの燐を含有した多結晶シリコン膜を堆積し、通常のリソグラフィ技術を用いてパターニングし、コンタクトホール82を介して不純物拡散層62に接続された蓄積電極86を形成する。蓄積電極86は、例えば図7（b）に示すように、ビット線74間の領域に形成することができる。

#### 【0169】

なお、蓄積電極86を形成する際のパターニングでは、図33（b）に示す層間絶縁膜77の段差部にエッチング残渣が残らないようにしなければならない。しかしながら、本実施形態による半導体装置の製造方法では、段差部にサイドウォール絶縁膜84が形成され、形状がなだらかになっているので、急峻な段差部を有する場合と比較して、極めて容易に残渣を除去することができる。

#### 【0170】

続いて、例えばCVD法により膜厚約4nmのシリコン窒化膜を堆積し、その後、湿式酸素雰囲気中にて800℃10分間の熱処理を行ってシリコン窒化膜の表面を酸化し、シリコン酸化膜換算で約4nmのシリコン窒化酸化膜よりなる誘電体膜88を形成する。

この後、例えばCVD法により、膜厚約100nmの燐を含んだ多結晶シリコン膜を堆積し、通常のリソグラフィ技術を用いてパターニングし、キャパシタの対向電極90とする（図33（c）、図35（c））。

#### 【0171】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを構成する。

このように、本実施形態によれば、表面がエッチングストップ膜で覆われたワード線又はビット線を形成した後に、エッチングストップ膜上に延在する層間絶縁膜を形成し、その後、ワード線又はビット線上に延在するコンタクトホールを層間絶縁膜に形成するので、コンタクトホールを形成するためのリソグラフィ

工程において微細なホールパターンを形成する必要がなく、且つ、位置合わせ余裕を大きくすることができる。これにより、コンタクトホールを形成するためのリソグラフィ工程を簡略にすることができる。

【0172】

また、コンタクトホールを形成するためのフォトレジストの開口部の端部をワード線又はビット線上に延在するので、リソグラフィにおける位置合わせズレが生じてコンタクトホールサイズが変動することはない。

また、コンタクトホール70を開口した後にサイドウォール絶縁膜72を形成するため、サイドウォール絶縁膜72に自己整合でコンタクトホール70を開口する必要はないので、サイドウォール絶縁膜72にはシリコン酸化膜を適用することができる。したがって、サイドウォール絶縁膜72をシリコン窒化膜により形成する従来の半導体装置と比較して、トランジスタのホットキャリア耐性を高めることができる。

【0173】

[第9実施形態]

本発明の第9実施形態による半導体装置及びその製造方法について図36乃至図42を用いて説明する。なお、図7乃至図35に示す第3乃至第8実施形態による半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0174】

図36は本実施形態による半導体装置の構造を示す概略断面図、図37乃至図42は本実施形態による半導体装置の製造方法を示す工程断面図である。

第3乃至第8実施形態による半導体装置及びその製造方法では、ビット線の上層にキャパシタを有する構造のDRAMについて示した。しかしながら、本発明は、キャパシタの上層にビット線を有する構造のDRAMについても同様に適用することができる。

【0175】

本実施形態では、本発明をキャパシタの上層にビット線を有するDRAMに適用した一例を示す。

始めに、本実施形態による半導体装置の構造について図36を用いて説明する。なお、装置の平面図は、図7に示す第3実施形態による半導体装置と同様である。図36(a)は図7のX-X'線断面における概略断面図であり、図36(b)は図7のY-Y'線断面における概略断面図である。

#### 【0176】

シリコン基板50には、シリコン基板50内に埋め込んで形成された、素子間を分離するための素子分離膜52が形成されている。素子分離膜52が形成されたシリコン基板50上には、図面の縦方向に互いに平行に延在する複数のワード線56が、ゲート絶縁膜54を介して形成されている。ワード線56上には、エッチングストッパ膜58が形成されている。ワード線56の両側のシリコン基板50には不純物拡散層60、62が形成されており、ワード線56により構成されるゲート電極、不純物拡散層60、62とにより転送トランジスタが構成されている。ワード線56間には、エッチングストッパ膜58とほぼ等しい高さの層間絶縁膜64が埋め込まれている。エッチングストッパ膜58及び層間絶縁膜64上には層間絶縁膜112が形成されている。層間絶縁膜112には、層間絶縁膜112に形成されたコンタクトホール内壁に形成され、プラグ104を介して不純物拡散層60に接続されたコンタクト用導電膜118と、プラグ106を介して不純物拡散層62に接続された蓄積電極86とが形成されている。蓄積電極86の表面には、誘電体膜88を介して対向電極90が形成されている。対向電極90上には、層間絶縁膜122が形成されている。層間絶縁膜122上には、コンタクト用導電膜118、プラグ106を介して不純物拡散層60に接続されたビット線74が形成されている。こうして、蓄積電極86、誘電体膜88、対向電極90よりなるキャパシタが構成されている。

#### 【0177】

このように1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMが構成されている。

以下、本実施形態による半導体装置の製造方法に沿って、本実施形態による半導体装置及びその製造方法を詳細に説明する。図37乃至図39は図7のX-X'線断面における工程断面図、図40乃至図42は図7のY-Y'線断面におけ



る工程断面図である。

【0178】

まず、例えば図24(a)～図24(d)、図26(a)～図26(d)に示す第7実施形態による半導体装置の製造方法と同様にして、不純物拡散層60に接続されたプラグ104と、不純物拡散層62に接続されたプラグ106とを形成する(図37(a)、図40(a))。

次いで、全面に、例えばCVD法によりシリコン酸化膜を約2 $\mu$ m堆積し、化CMP法によりその表面を研磨して平坦化する。こうして、シリコン酸化膜よりなる層間絶縁膜112を形成する。

【0179】

次いで、通常のリソグラフィ技術及びエッチング技術を用い、層間絶縁膜112に、プラグ104上に開口されたスルーホール114と、プラグ106上に開口されたスルーホール116とを形成する(図37(b)、図40(b))。

続いて、例えばCVD法により、膜厚約50nmの燐を高濃度に含んだ多結晶シリコン膜を成膜した後、層間絶縁膜112上の多結晶シリコン膜をCMP法により完全に除去する。これにより、スルーホール114内にコンタクト用導電膜118を、スルーホール116内には蓄積電極86を自己整合で形成する(図37(c)、図40(c))。

【0180】

この後、例えばCVD法により膜厚約4nmのシリコン窒化膜を堆積し、その後、湿式酸素雰囲気中にて800℃10分間の熱処理を行ってシリコン窒化膜の表面を酸化し、シリコン酸化膜換算で約4nmのシリコン窒化酸化膜よりなる誘電体膜88を形成する。

次いで、例えばCVD法により、膜厚約100nmの燐を含んだ多結晶シリコン膜120を堆積する(図38(a)、図41(a))。

【0181】

続いて、例えばCVD法によりシリコン酸化膜を堆積し、層間絶縁膜122を形成する(図38(b)、図41(b))。

この後、層間絶縁膜122と多結晶シリコン膜120とをパターニングし、多

結晶シリコン膜120よりなる対向電極90を形成する。

次いで、全面に、例えばCVD法によりシリコン酸化膜を堆積し、その後、異方性エッチングを行い、層間絶縁膜122及び対向電極90の側壁にサイドウォール絶縁膜124を形成する(図39(a)、図42(a))。この際、コンタクト用導電膜118上の誘電体膜88を除去し、コンタクト用導電膜118を露出しておく。

#### 【0182】

続いて、例えばスパッタ法により膜厚約50nmのチタン膜を、CVD法により膜厚約50nmのTiN膜を、膜厚約200nmのタングステン膜を連続して成膜する。その後、通常のリソグラフィ工程及びエッチング工程により、W膜/TiN膜/Ti膜からなる積層膜をパターニングし、ビット線74を形成する(図39(b)、図42(b))。

#### 【0183】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを構成する。

このように、本実施形態によれば、第2実施形態による自己整合コンタクトの形成方法を用いることにより、キャパシタの上層にビット線を有するDRAMを構成することもできる。

#### 【0184】

なお、上記実施形態では、図7に示すレイアウトに基づいてDRAMを構成する例を示したが、例えば図3に示す平面レイアウトに基づき、図43に示すようにDRAMを構成することもできる。なお、図43に示すDRAMは、図3に示すレイアウトを採用することにより、上述の製造方法により製造することができる。

#### 【0185】

また、上記実施形態では、例えば同一出願人による特開平8-274278号公報に記載のDRAMに適用した例を示しているが、その他の構造のデバイスにおいても同様に適用することができる。

#### 【第10実施形態】

本発明の第10実施形態による半導体装置及びその製造方法について図44乃至図46を用いて説明する。なお、図7乃至図43に示す第3乃至第9実施形態による半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0186】

図44は本実施形態による半導体装置の構造を示す概略断面図、図45及び図46は本実施形態による半導体装置の製造方法を示す工程断面図である。

第3乃至第9実施形態による半導体装置及びその製造方法では、第1又は第2実施形態による自己整合コンタクトの形成方法を用いたDRAMについて示したが、図51に示す従来の半導体装置の製造方法を適用する場合であっても、コンタクトホールの開口の際のフォトリソサイズを大きくし、且つ、位置合わせズレ余裕を大きくすることが可能である。

【0187】

本実施形態では、従来の自己整合コンタクト形成技術においてリソグラフィーを簡略にしようとする半導体装置及びその製造方法を提供する。

始めに、本実施形態による半導体装置の構造について図44を用いて説明する。なお、装置の平面図は、図7に示す第3実施形態による半導体装置と同様である。図36は図7のX-X'線断面における概略断面図である。Y-Y'線断面は、第3実施形態による半導体装置と同様である。

【0188】

シリコン基板50には、シリコン基板50内に埋め込んで形成された、素子間を分離するための素子分離膜52が形成されている。素子分離膜52が形成されたシリコン基板50上には、図面の縦方向に互いに平行に延在する複数のワード線56が、ゲート絶縁膜54を介して形成されている。ワード線56の上面はエッチングストッパ膜58により覆われ、ワード線の側壁はエッチングストッパ膜とエッチング特性がほぼ等しいサイドウォール絶縁膜126により覆われている。ワード線56の両側のシリコン基板50には不純物拡散層60、62が形成されており、ワード線56により構成されるゲート電極、不純物拡散層60、62とにより転送トランジスタが構成されている。ワード線56間には、エッチング

ストッパ膜58とほぼ等しい高さの層間絶縁膜64が埋め込まれている。エッチングストッパ膜58及び層間絶縁膜64上には、図面の横方向に互いに平行に延在する複数のビット線74が形成されている。ビット線74は、素子分離膜52により画定される活性領域と交わる場所において、一方の不純物拡散層60に接続されている。他方の不純物拡散層62上には蓄積電極86が形成されている。蓄積電極86上には、誘電体膜88を介して対向電極90が形成されており、こうして、蓄積電極86、誘電体膜88、対向電極90よりなるキャパシタが構成されている。

#### 【0189】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMが構成されている。

以下、本実施形態による半導体装置の製造方法に沿って、本実施形態による半導体装置及びその製造方法を詳細に説明する。図45及び図46は図7のX-X'線断面における工程断面図である。

#### 【0190】

まず、例えばp形シリコン基板50上の素子分離領域となる領域に、通常のリソグラフィ技術及びエッチング技術を用いて溝を形成する。

次いで、例えばCVD法によりシリコン酸化膜を堆積し、その後、その表面を研磨し、シリコン基板50に形成された溝内にのみシリコン酸化膜を残存させる。こうして、シリコン基板50内に埋め込んで形成された素子分離膜52を形成する。

#### 【0191】

続いて、素子分離膜52を形成したシリコン基板50を熱酸化し、シリコン基板50表面に、例えば膜厚約6nmのゲート絶縁膜54を形成する。

この後、ゲート絶縁膜54上に、例えばCVD法により、膜厚約100nmの多結晶シリコン膜と、膜厚約100nmのWSi膜とを堆積する。このように堆積した多結晶シリコン膜及びWSi膜よりなるポリサイド膜は、ワード線となる膜である。

#### 【0192】

次いで、ポリサイド膜上に、例えばCVD法により、膜厚約200nmのシリコン窒化膜を堆積する。シリコン窒化膜は、層間絶縁膜をエッチングする際に用いるエッチングストッパ膜となる膜である。

続いて、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜、ポリサイド膜よりなる積層膜をパターンニングし、上面がシリコン窒化膜よりなるエッチングストッパ膜58で覆われた、ポリサイド構造のワード線56を形成する。

#### 【0193】

この後、ワード線56をマスクとしてシリコン基板50に例えばリンイオンをイオン注入し、活性領域に不純物拡散層60、62を形成する（図9（a）、図11（a））。例えば、リンイオンを、加速エネルギー30keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入し、不純物拡散層60、62を形成する。

次いで、全面に、例えばCVD法により膜厚約80nmのシリコン窒化膜を堆積し、その後、異方性エッチングを行い、ワード線56及びエッチングストッパ膜58の側壁にサイドウォール絶縁膜126を形成する（図45（a））。ワード線56は、エッチングストッパ膜58、サイドウォール絶縁膜126により完全に覆われることとなる。

#### 【0194】

続いて、全面に、例えばCVD法により、膜厚約50nmのシリコン酸化膜と、膜厚約200nmのBP SG膜とを堆積し、その後、例えばCMP法によりエッチングストッパ膜58が表面に露出するまで研磨し、ワード線56間に埋め込まれた層間絶縁膜64を形成する（図45（b））。

この後、通常のリソグラフィ技術を用い、層間絶縁膜64上に、不純物拡散層60を露出するコンタクトホールを形成するためのフォトレジスト66を形成する（図45（c））。ワード線56上にはエッチングストッパ膜58が設けられているので、開口部68はワード線56上に延在して配置することができる。したがって、フォトレジスト66は、例えば図13（a）に示す第3実施形態による半導体装置の製造方法と同様のパターンを採用することができる。したがって、フォトレジスト66を形成するためのリソグラフィでは位置合わせ余裕を

大きくすることができ、且つ、パターンサイズを大きくすることができるので、リソグラフィ工程を簡略にすることができる。

【0195】

続いて、フォトレジスト66、エッチングストッパ膜58、サイドウォール絶縁膜をマスクとして、シリコン窒化膜のエッチング速度が十分小さくなる条件で層間絶縁膜64を異方性エッチングし、不純物拡散層60上に開口されたコンタクトホール70を形成する(図46(a))。フォトレジスト66及びエッチングストッパ膜58をマスクとすることにより、コンタクトホール70は、図13(b)に示すように開口される。

【0196】

この後、例えばCVD法により、膜厚約50nmの燐を含有した多結晶シリコン膜と、膜厚約100nmのWSi膜と、膜厚約200nmのシリコン窒化膜とを連続して堆積する。

次いで、通常のリソグラフィ技術及びエッチング技術により、シリコン窒化膜と、WSi膜と、多結晶シリコン膜とからなる積層膜をパターンニングし、上面がシリコン窒化膜よりなるエッチングストッパ膜76により覆われた、ポリサイド構造よりなるビット線74を形成する(図46(c))。

【0197】

続いて、例えば図10(a)～図10(c)に示す第3実施形態による半導体装置の製造方法と同様にして、蓄積電極86、誘電体膜88、対向電極90よりなるキャパシタを形成する(図46(c))。

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを構成する。

【0198】

このように、本実施形態によれば、従来の自己整合コンタクトに用いられる構造を適用する場合であっても、コンタクトホールの開口の際のフォトレジストサイズを大きくし、且つ、位置合わせズレ余裕を大きくすることが可能である。したがって、ビット線コンタクトホールの開口の際のリソグラフィ工程を簡略にすることができる。

## 【0199】

なお、上記実施形態では、ワード線56上に直にエッチングストッパ膜58を形成したが、第4実施形態に示す半導体装置のように、ワード線56とエッチングストッパ膜58との間に誘電率の小さい絶縁膜94を設ける場合にも同様に適用することができる。

## 【0200】

## 【発明の効果】

以上の通り、本発明によれば、下地基板と、下地基板上に形成され、隣接する2つの導電体パターンを有する第1の導電膜と、第1の導電膜の上面を覆うエッチングストッパ膜と、エッチングストッパ膜上及び下地基板上に形成された絶縁膜であって、2つの導電体パターン間の下地基板に達し、端部が2つの導電体パターン上のエッチングストッパ膜上に位置するコンタクトホールが形成された第1の絶縁膜と、コンタクトホール内の第1の導電膜及びエッチングストッパ膜の側壁に形成されたサイドウォール絶縁膜とにより半導体装置を構成するので、コンタクトホールの形成過程におけるフォトレジストの開口サイズを大きくすることができ、且つ、位置合わせズレ余裕をも大きくすることができる。

## 【0201】

また、エッチングストッパ膜は導電膜上の平坦部に形成されているので、エッチングストッパ膜をマスクとして第1の絶縁膜をエッチングする過程におけるエッチングストッパ膜の膜減りを抑えることができる。これにより、コンタクトホールのエッチング過程で導電膜がコンタクト内に露出することを抑えることができる。

## 【0202】

また、上述の構成とすることにより、コンタクトホールを開口する際のサイドウォール絶縁膜をマスクとする必要がないので、サイドウォール絶縁膜としてはシリコン酸化膜を適用することができる。これにより、シリコン窒化膜をサイドウォール絶縁膜に用いる従来の半導体装置と比較して、トランジスタのホットキャリア効果に対する耐性を向上することができる。

## 【0203】

また、下地基板と、下地基板上に形成され、隣接する複数の導電体パターンを有する第1の導電膜と、第1の導電膜の上面を覆うエッチングストッパ膜と、複数の導電体パターンの間に埋め込んで形成された絶縁膜であって、導電体パターンの間の下地基板に達し、端部が導電体パターンにより画定されたコンタクトホールが形成された第1の絶縁膜と、コンタクトホール内の第1の導電膜及びエッチングストッパ膜の側壁に形成されたサイドウォール絶縁膜とを有することを特徴とする半導体装置を構成することによっても同様の効果を得ることができる。

【0204】

このような半導体装置の構造及び製造方法は、例えば、DRAMにおけるビット線コンタクトホールや蓄積電極コンタクトホールに適用することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置の構造を示す概略断面図である。

【図2】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図である。

【図3】

本発明の第2実施形態による半導体装置の構造を示す平面図である。

【図4】

本発明の第2実施形態による半導体装置の構造を示す概略断面図である。

【図5】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図6】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図7】

本発明の第3実施形態による半導体装置の構造を示す平面図である。

【図8】

本発明の第3実施形態による半導体装置の構造を示す概略断面図である。



【図9】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図10】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図11】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図12】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図13】

本発明の第3実施形態による半導体装置におけるビット線コンタクトホールを形成するためのレジストパターンと開口されたコンタクトホールを示す平面図である。

【図14】

本発明の第3実施形態による半導体装置における蓄積電極コンタクトホールを形成するためのレジストパターンと開口されたコンタクトホールを示す平面図である。

【図15】

本発明の第4実施形態による半導体装置の構造を示す概略断面図である。

【図16】

本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図17】

本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図18】

本発明の第5実施形態による半導体装置の構造を示す概略断面図である。

【図19】

本発明の第5実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図20】

本発明の第5実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図21】

本発明の第6実施形態による半導体装置の構造を示す概略断面図である。

【図22】

本発明の第6実施形態による半導体装置の製造方法を示す工程断面図である。

【図23】

本発明の第7実施形態による半導体装置の構造を示す概略断面図である。

【図24】

本発明の第7実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図25】

本発明の第7実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図26】

本発明の第7実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図27】

本発明の第7実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図28】

本発明の第7実施形態による半導体装置におけるビット線コンタクトホールを形成するためのレジストパターンと開口されたコンタクトホールを示す平面図である。

【図29】

本発明の第7実施形態による半導体装置における蓄積電極コンタクトホールを形成するためのレジストパターンと開口されたコンタクトホールを示す平面図である。

【図30】

本発明の第7実施形態の変形例による半導体装置におけるビット線コンタクトホールを形成するためのレジストパターンを示す平面図である。

【図31】

本発明の第8実施形態による半導体装置の構造を示す概略断面図である。

【図32】

本発明の第8実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図33】

本発明の第8実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図34】

本発明の第8実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図35】

本発明の第8実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図36】

本発明の第9実施形態による半導体装置の構造を示す概略断面図である。

【図37】

本発明の第9実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図38】

本発明の第9実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図39】

本発明の第9実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図40】

本発明の第9実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図41】

本発明の第9実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図42】

本発明の第9実施形態による半導体装置の製造方法を示す工程断面図（その6）である。

【図43】

第9実施形態の変形例による半導体装置及びその製造方法を示す概略断面図である。

【図44】

本発明の第10実施形態による半導体装置の構造を示す概略断面図である。

【図45】

本発明の第10実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図46】

本発明の第10実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図47】

従来の第1の半導体装置の製造方法を示す工程断面図である。

【図48】

従来の第1の半導体装置の製造方法における課題を説明する図である。

【図49】

従来の第2の半導体装置の製造方法を示す工程断面図である。

【図50】

従来の第2の半導体装置の製造方法における効果を説明する図である。

【図51】

従来の第3の半導体装置の製造方法を示す工程断面図である。

【図52】

従来の第3の半導体装置の製造方法におけるパターンレイアウトを示す平面図である。

【符号の説明】

- 10…シリコン基板
- 12…素子分離膜
- 14…ゲート絶縁膜
- 16…多結晶シリコン膜
- 18…シリコン窒化膜
- 20…ゲート電極
- 22…エッチングストッパ膜
- 24…不純物拡散層
- 26…不純物拡散層
- 28…層間絶縁膜
- 30…コンタクトホール
- 32…サイドウォール絶縁膜
- 34…
- 36…絶縁膜
- 38…開口部
- 40…コンタクトホール
- 42…プラグ
- 44…プラグ
- 46…フォトレジスト
- 48…
- 50…シリコン基板

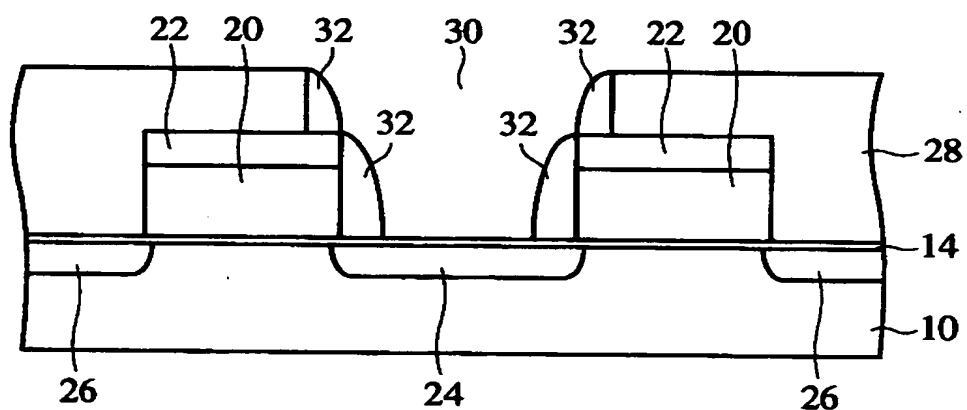
5 2 …素子分離膜  
5 4 …ゲート絶縁膜  
5 6 …ワード線  
5 8 …エッチングストッパ膜  
6 0 …不純物拡散層  
6 2 …不純物拡散層  
6 4 …層間絶縁膜  
6 6 …フォトレジスト  
6 8 …開口部  
7 0 …コンタクトホール  
7 2 …サイドウォール絶縁膜  
7 4 …ビット線  
7 6 …エッチングストッパ膜  
7 7 …層間絶縁膜  
7 8 …フォトレジスト  
8 0 …開口部  
8 2 …コンタクトホール  
8 4 …サイドウォール絶縁膜  
8 6 …蓄積電極  
8 8 …誘電体膜  
9 0 …対向電極  
9 2 …絶縁膜  
9 4 …絶縁膜  
9 6 …エッチングストッパ膜  
9 8 …エッチングストッパ膜  
1 0 0 …開口部  
1 0 2 …コンタクトホール  
1 0 4 …プラグ  
1 0 6 …プラグ

108…層間絶縁膜  
110…コンタクトホール  
112…層間絶縁膜  
114…スルーホール  
116…スルーホール  
118…コンタクト用導電膜  
120…多結晶シリコン膜  
122…層間絶縁膜  
124…サイドウォール絶縁膜  
126…サイドウォール絶縁膜  
200…シリコン基板  
202…ゲート絶縁膜  
204…ゲート電極  
206…不純物拡散層  
208…層間絶縁膜  
210…コンタクトホール  
212…サイドウォール絶縁膜  
214…エッチングストッパ膜  
220…シリコン基板  
222…素子分離膜  
224…ゲート絶縁膜  
226…ゲート電極  
228…エッチングストッパ膜  
230…サイドウォール絶縁膜  
232…層間絶縁膜  
234…フォトレジスト  
236…コンタクトホール

【書類名】 図面

【図1】

本発明の第1実施形態による半導体装置の  
構造を示す概略断面図

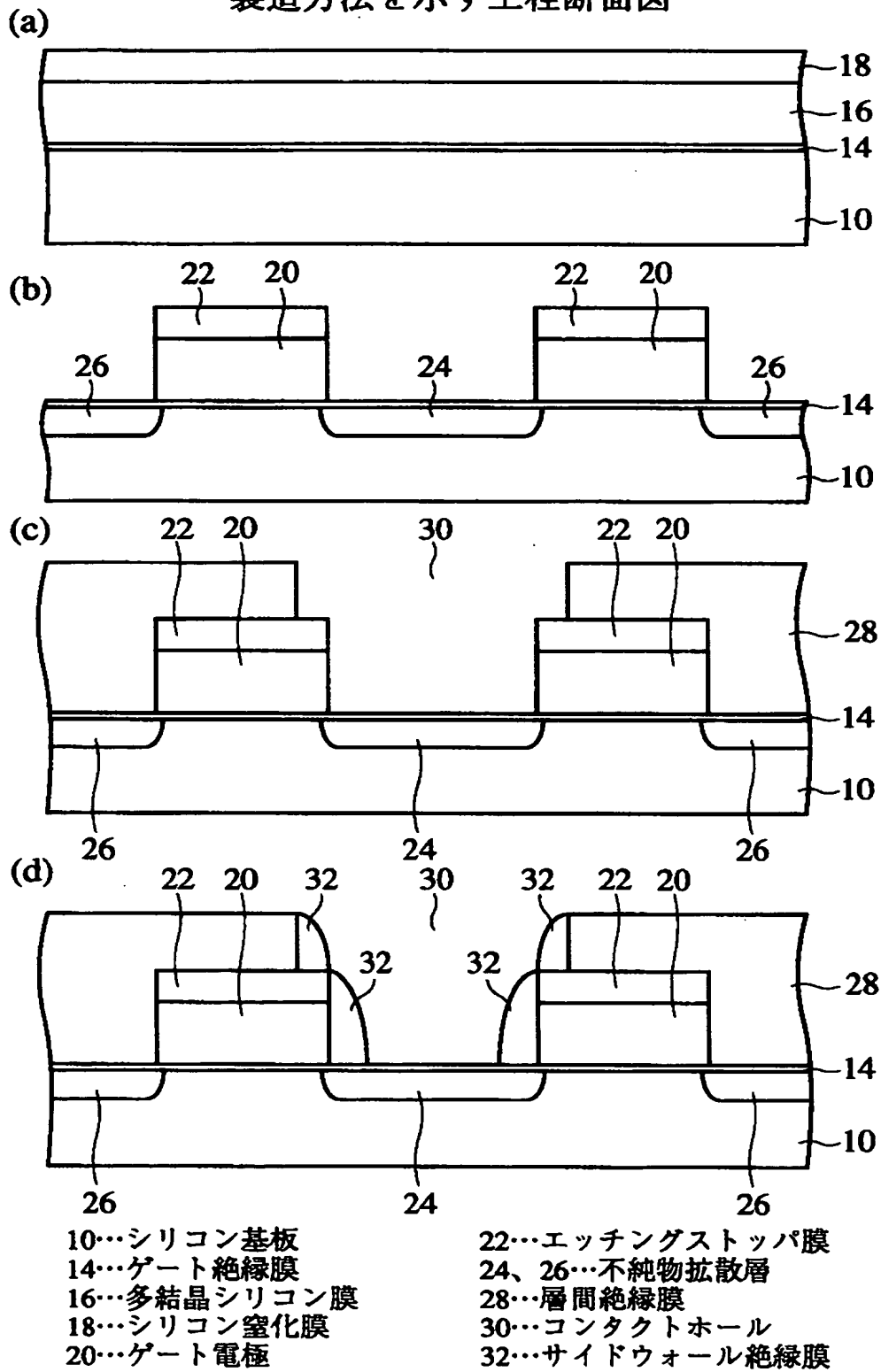


- 10…シリコン基板
- 14…ゲート絶縁膜
- 20…ゲート電極
- 22…エッチングストップ膜
- 24、26…不純物拡散層
- 28…層間絶縁膜
- 30…コンタクトホール
- 32…サイドウォール絶縁膜

【図2】

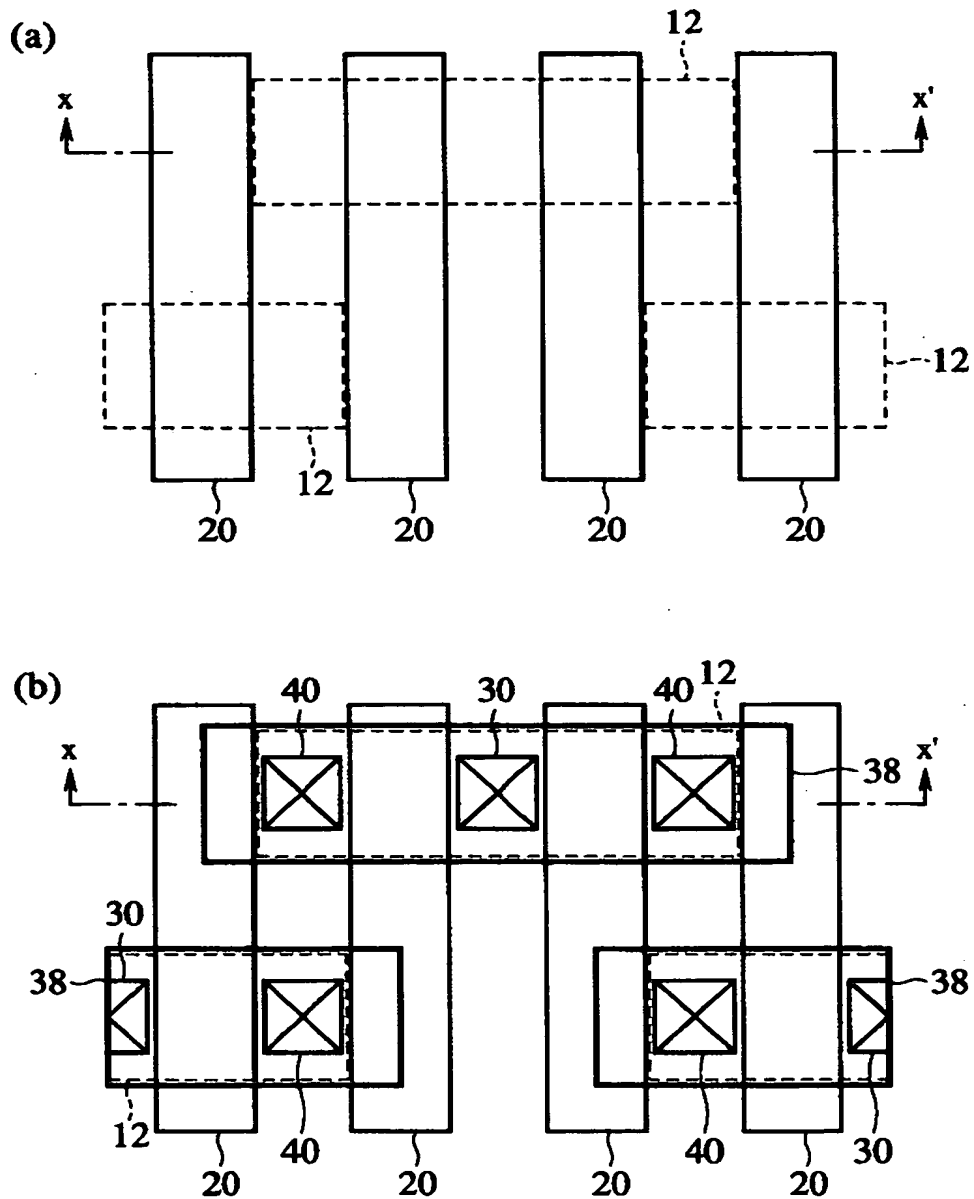


本発明の第1実施形態による半導体装置の  
製造方法を示す工程断面図



【図3】

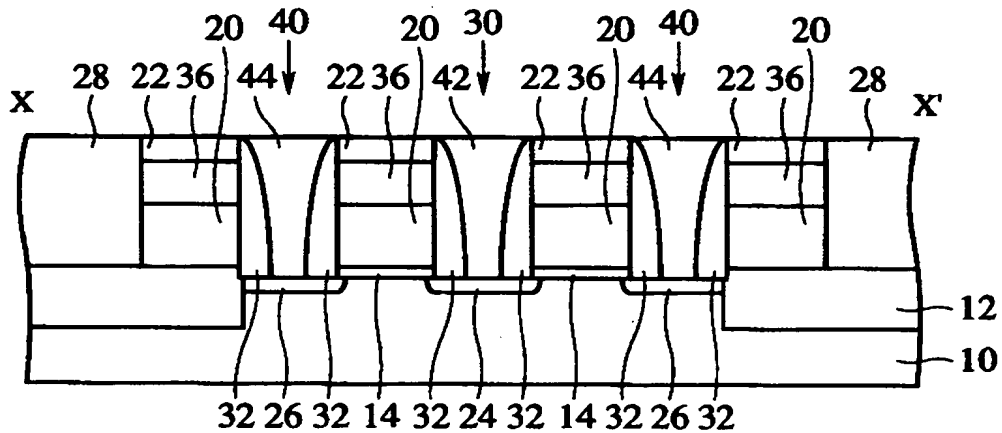
本発明の第2実施形態による半導体装置の  
構造を示す平面図



12…素子分離膜  
20…ゲート電極  
38…開口部  
30、40…コンタクトホール

【図4】

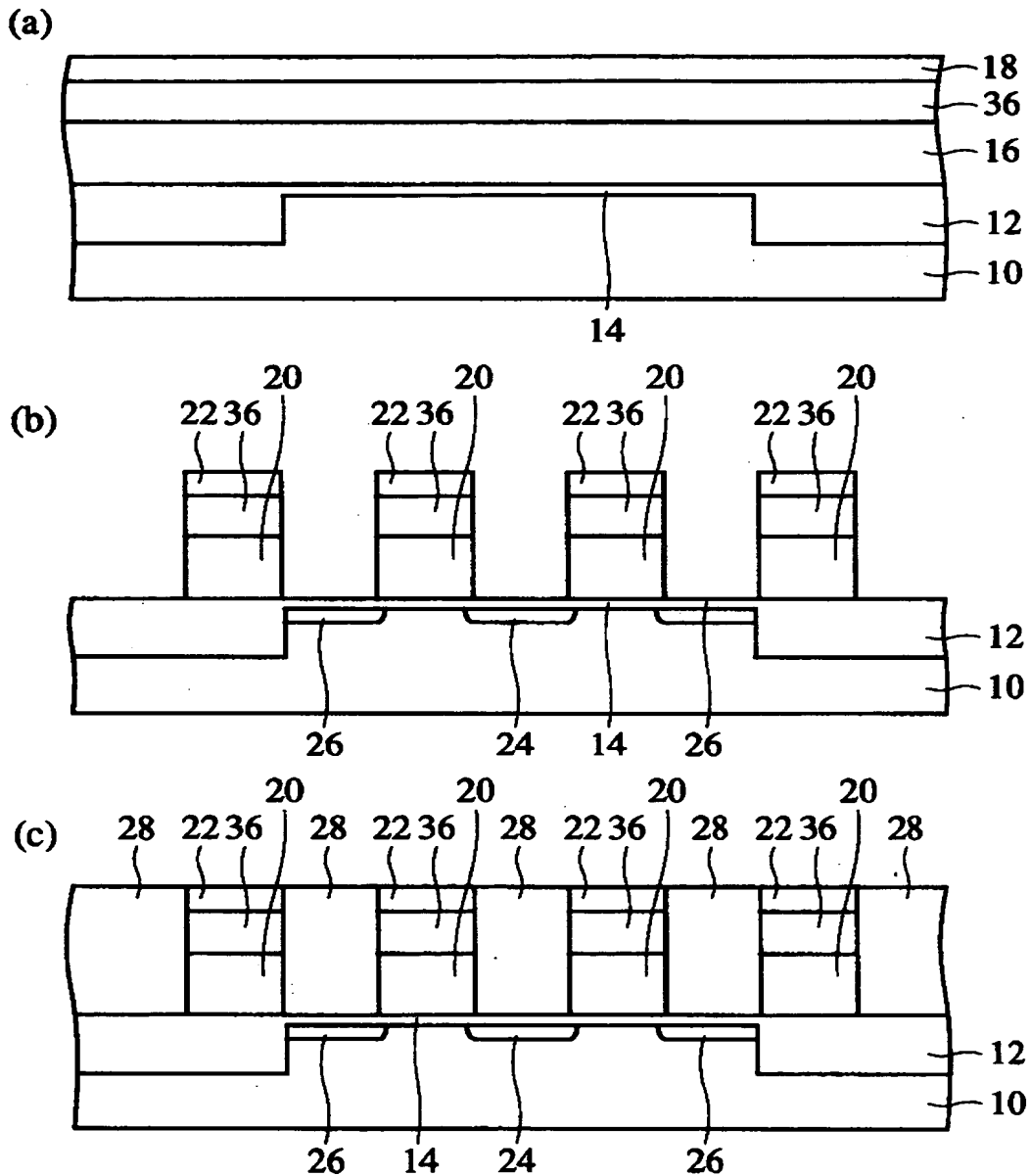
本発明の第2実施形態による半導体装置の  
構造を示す概略断面図



- 10…シリコン基板
- 12…素子分離膜
- 14…ゲート絶縁膜
- 20…ゲート電極
- 22…エッチングストップ膜
- 24、26…不純物拡散層
- 28…層間絶縁膜
- 30、40…コンタクトホール
- 32…サイドウォール絶縁膜
- 36…絶縁膜
- 42、44…プラグ

【図5】

本発明の第2実施形態による半導体装置の  
製造方法を示す工程断面図(その1)

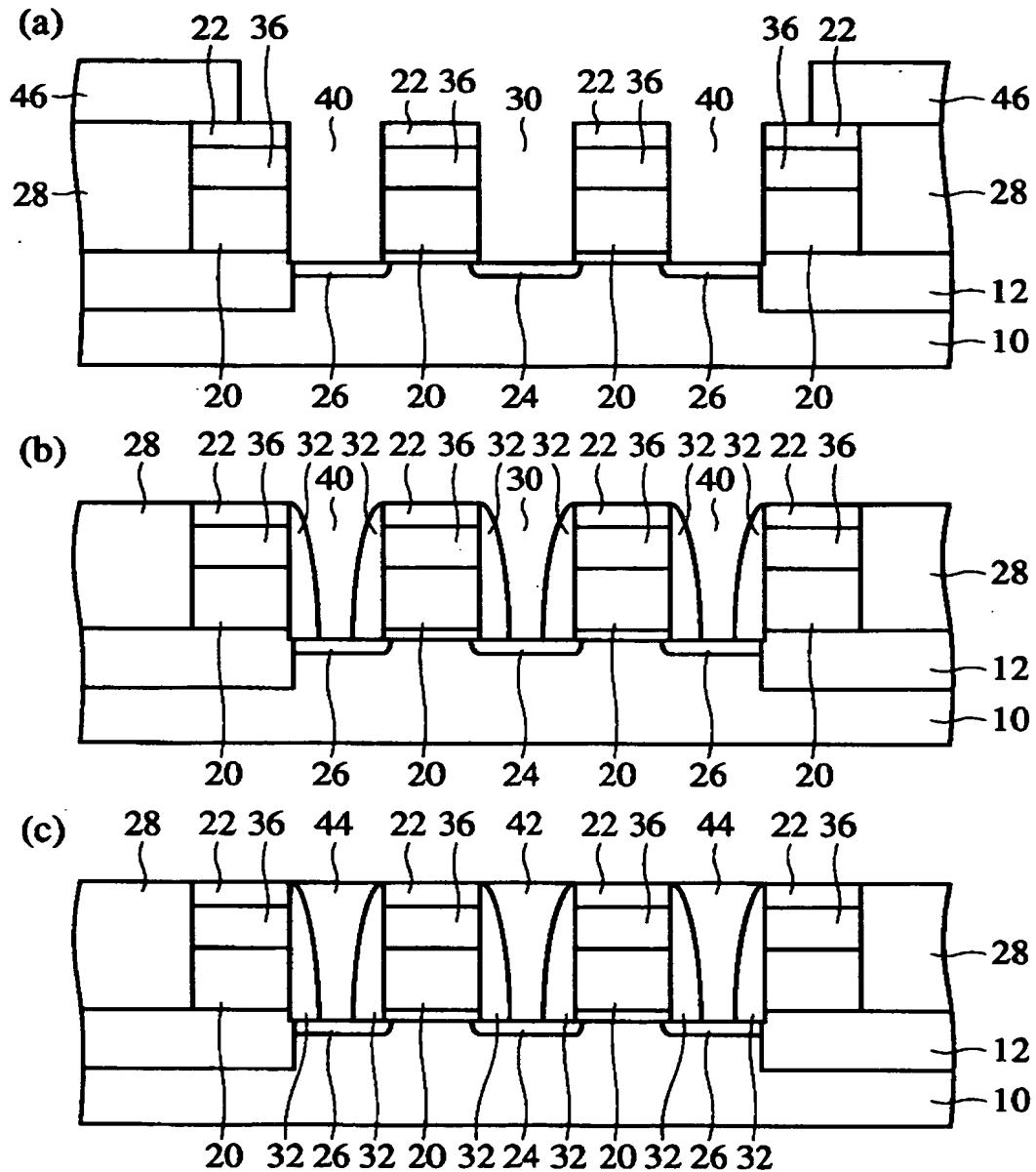


10…シリコン基板  
12…素子分離膜  
14…ゲート絶縁膜  
16…多結晶シリコン膜  
18…シリコン窒化膜

20…ゲート電極  
22…エッチングストップバ膜  
24、26…不純物拡散層  
28…層間絶縁膜  
36…絶縁膜

【図6】

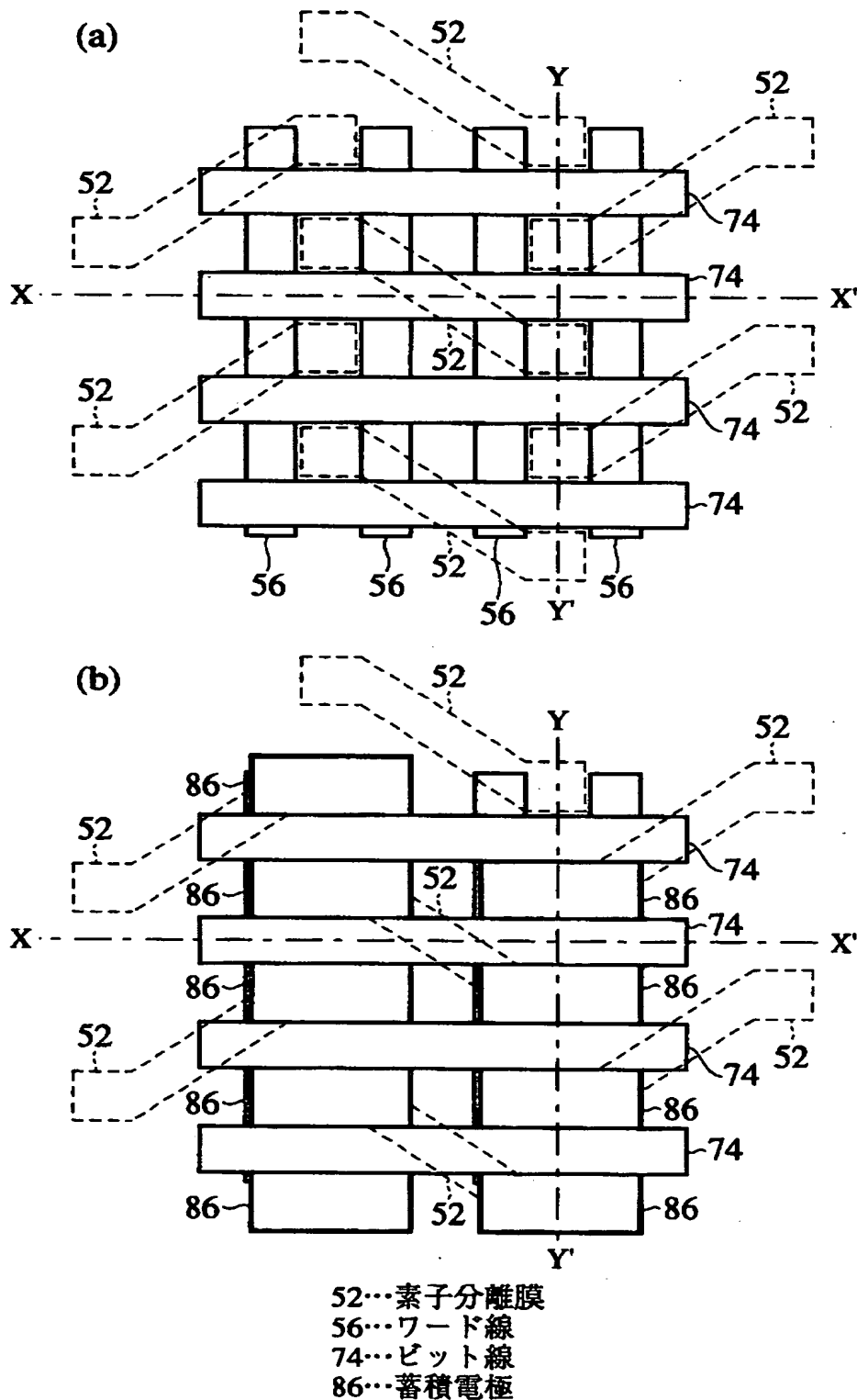
本発明の第2実施形態による半導体装置の  
製造方法を示す工程断面図(その2)



30、40…コンタクトホール  
32…サイドウォール絶縁膜  
38…開口部  
42、44…プラグ  
46…フォトレジスト

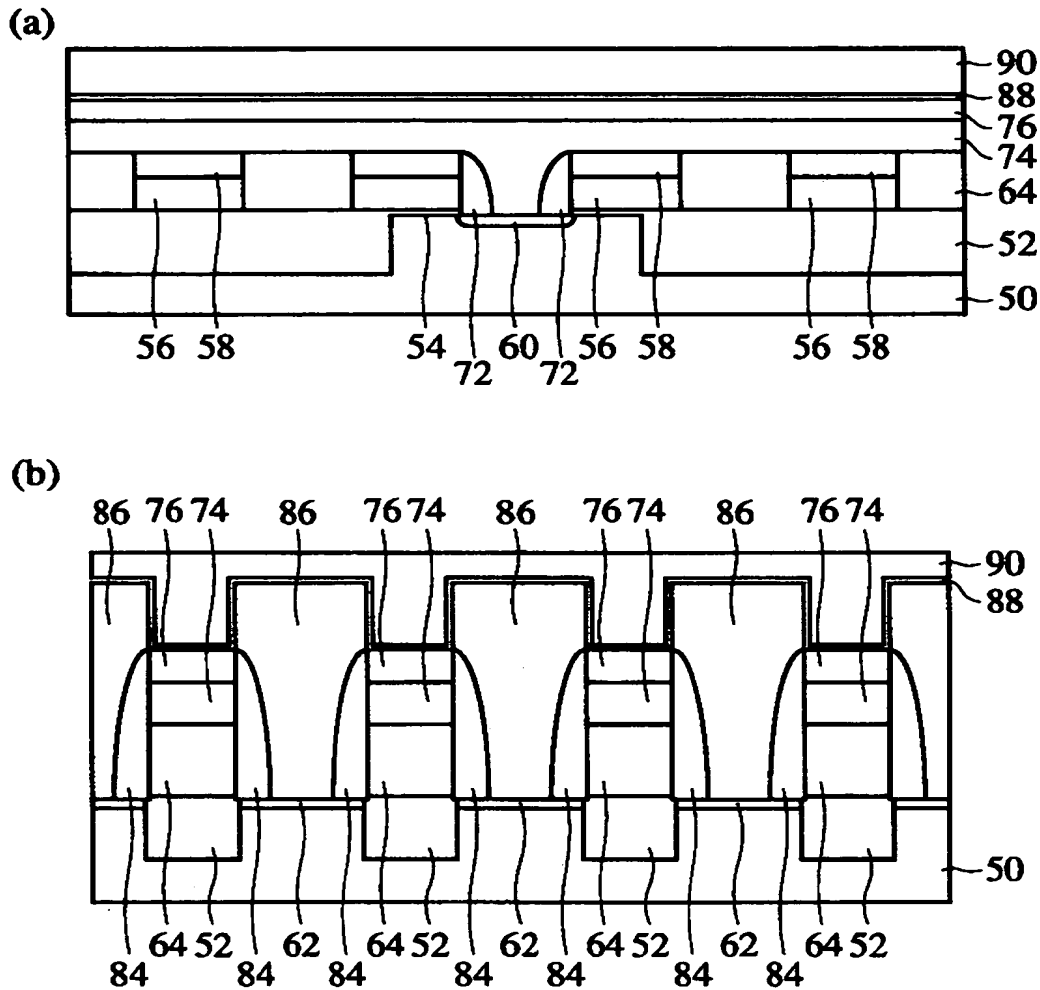
【図7】

本発明の第3実施形態による半導体装置の  
構造を示す平面図



【図8】

本発明の第3実施形態による半導体装置の  
構造を示す概略断面図



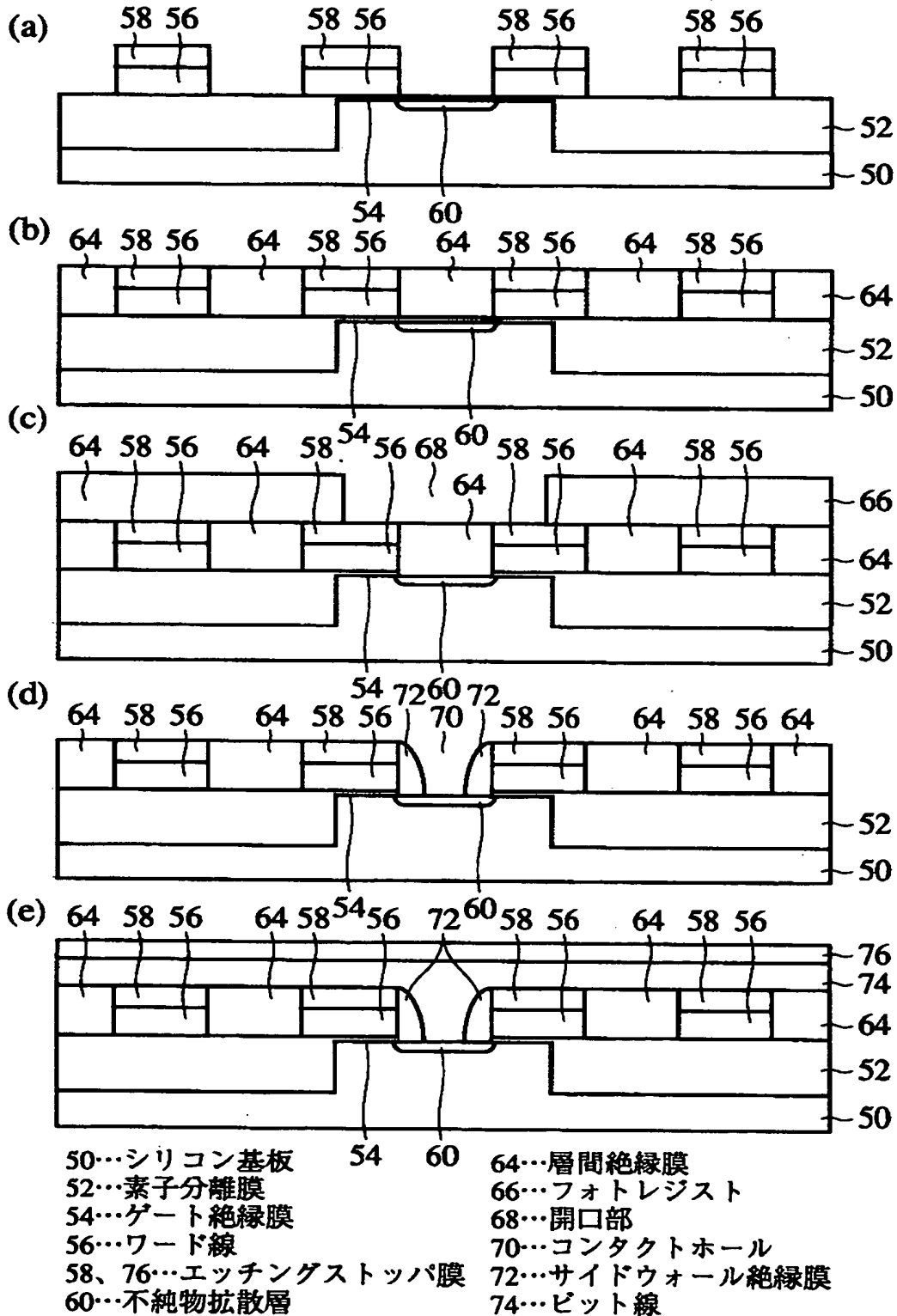
- 50…シリコン基板
- 52…素子分離膜
- 54…ゲート絶縁膜
- 56…ワード線
- 58、76…エッチングストッパ膜
- 60、62…不純物拡散層
- 64…層間絶縁膜
- 72、84…サイドウォール絶縁膜
- 74…ビット線
- 86…蓄積電極
- 88…誘電体膜
- 90…対向電極



特平 9－287466

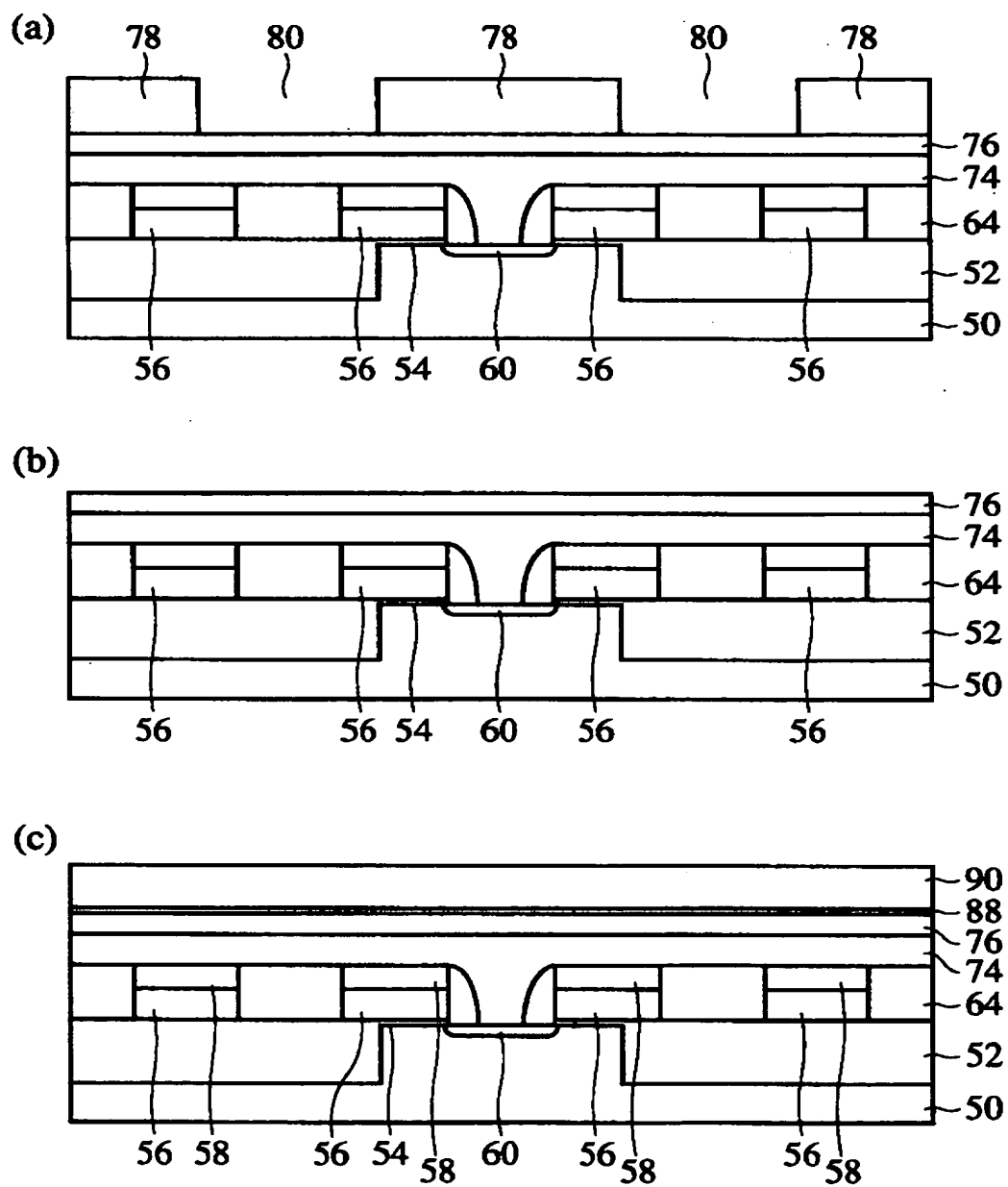
【図9】

本発明の第3実施形態による半導体装置の  
製造方法を示す工程断面図(その1)



【図10】

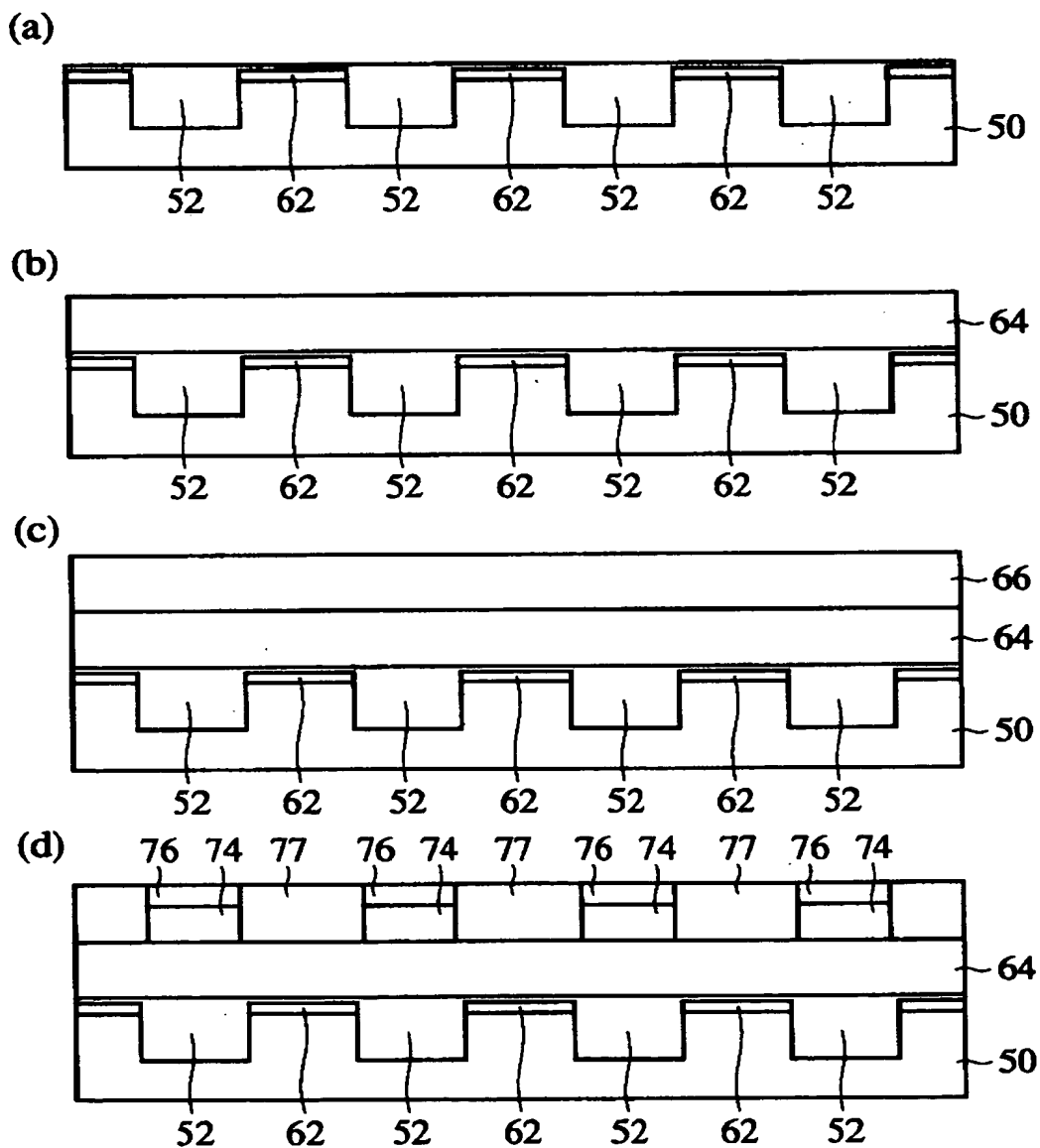
本発明の第3実施形態による半導体装置の  
製造方法を示す工程断面図(その2)



78…フォトリソ  
80…開口部  
88…誘電体膜  
90…対向電極

【図11】

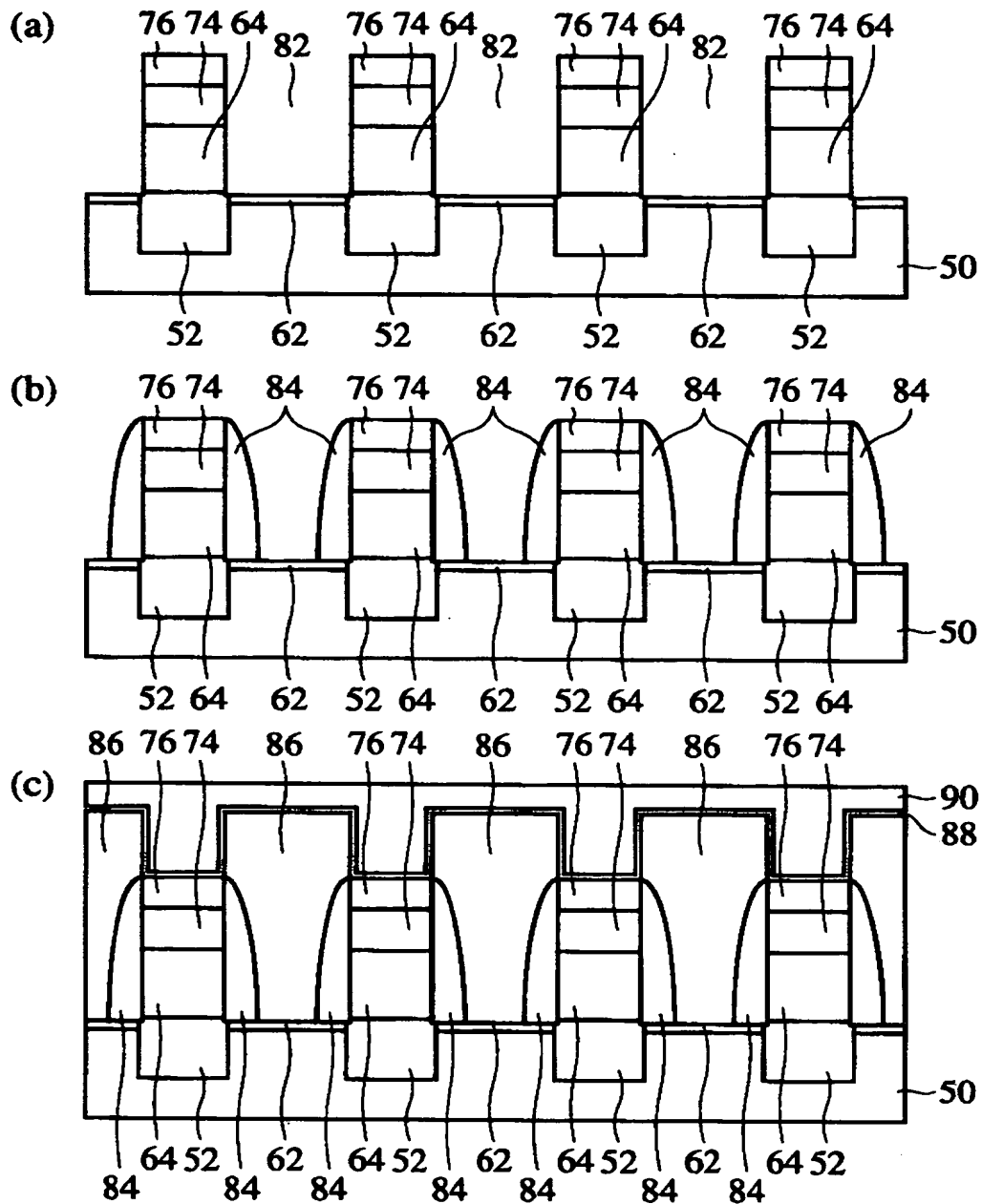
本発明の第3実施形態による半導体装置の  
製造方法を示す工程断面図(その3)



50…シリコン基板  
52…素子分離膜  
62…不純物拡散層  
64…層間絶縁膜  
66…フォトレジスト  
74…ビット線  
76…エッチングストップ膜  
77…層間絶縁膜

【図12】

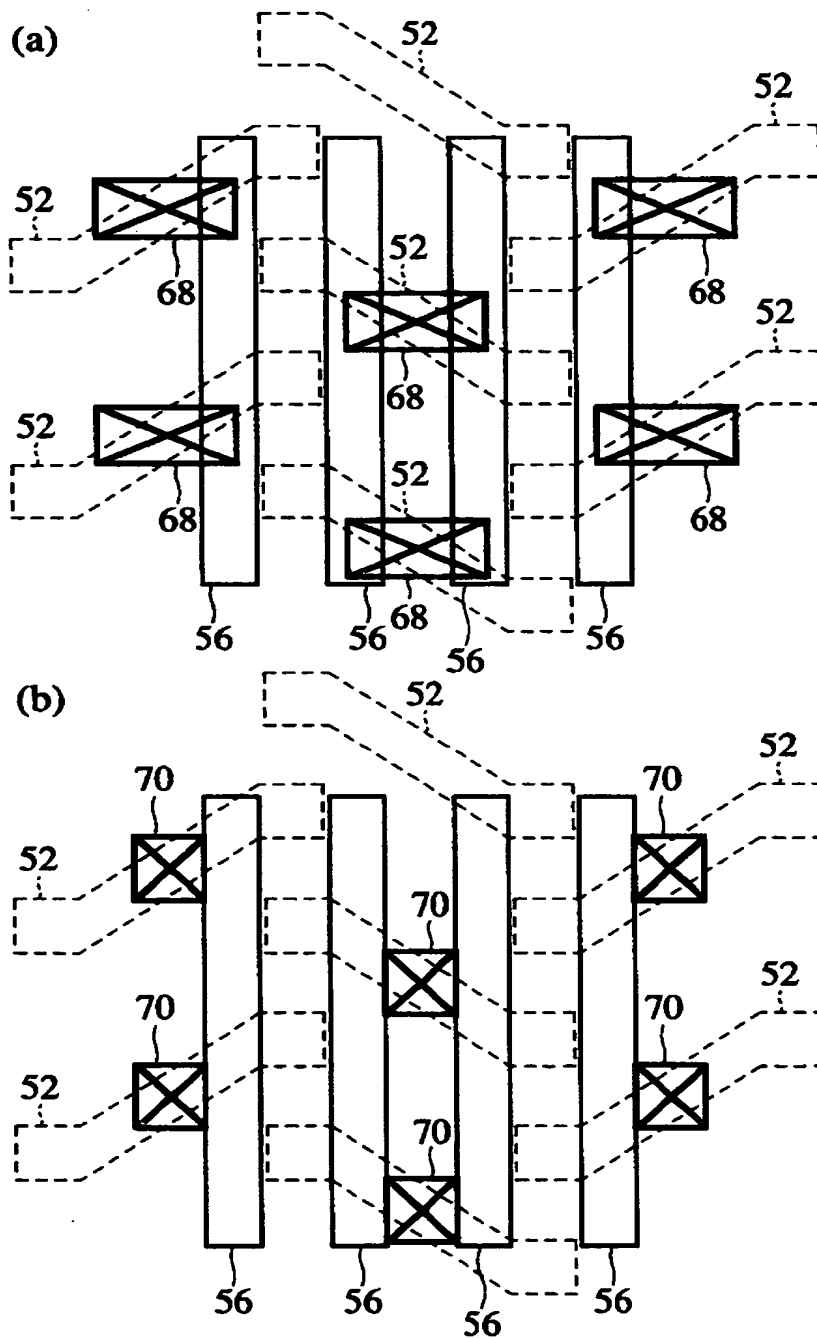
本発明の第3実施形態による半導体装置の  
製造方法を示す工程断面図(その4)



82…コンタクトホール  
84…サイドウォール絶縁膜  
86…蓄積電極  
88…誘電体膜  
90…対向電極

【図13】

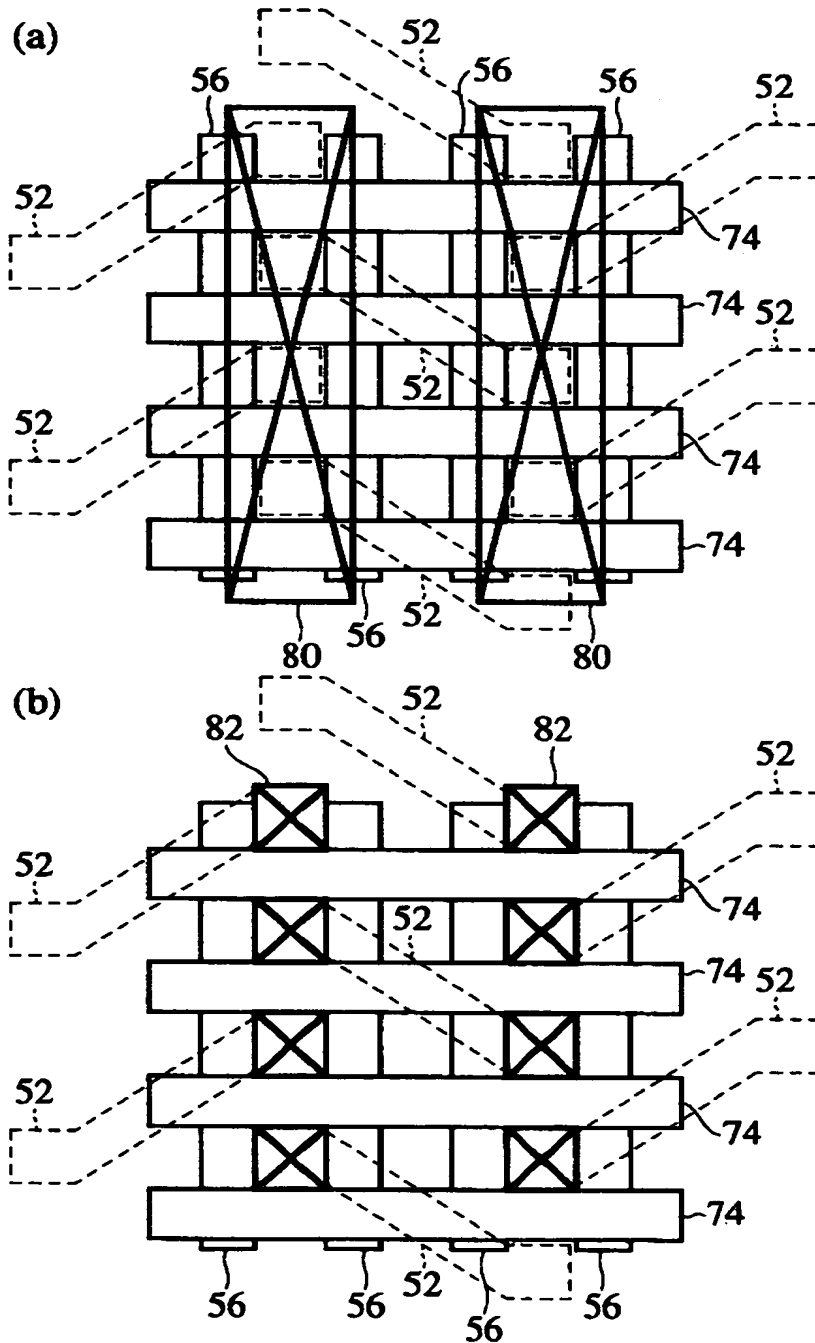
本発明の第3実施形態による半導体装置におけるビット線  
 コンタクトホールを形成するためのレジストパターンと  
 開口されたコンタクトホールを示す平面図



52…素子分離膜  
 56…ワード線  
 68…開口部  
 70…コンタクトホール

【図14】

本発明の第3実施形態による半導体装置における蓄積電極  
コンタクトホールを形成するためのレジストパターンと  
開口されたコンタクトホールを示す平面図

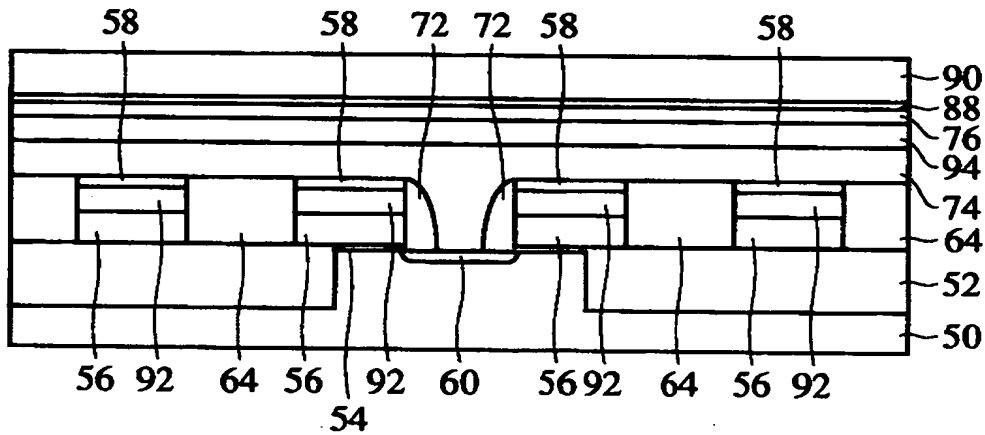


52...素子分離膜  
56...ワード線  
74...ビット線

80...開口部  
82...コンタクトホール

【図15】

本発明の第4実施形態による半導体装置の  
構造を示す概略断面図

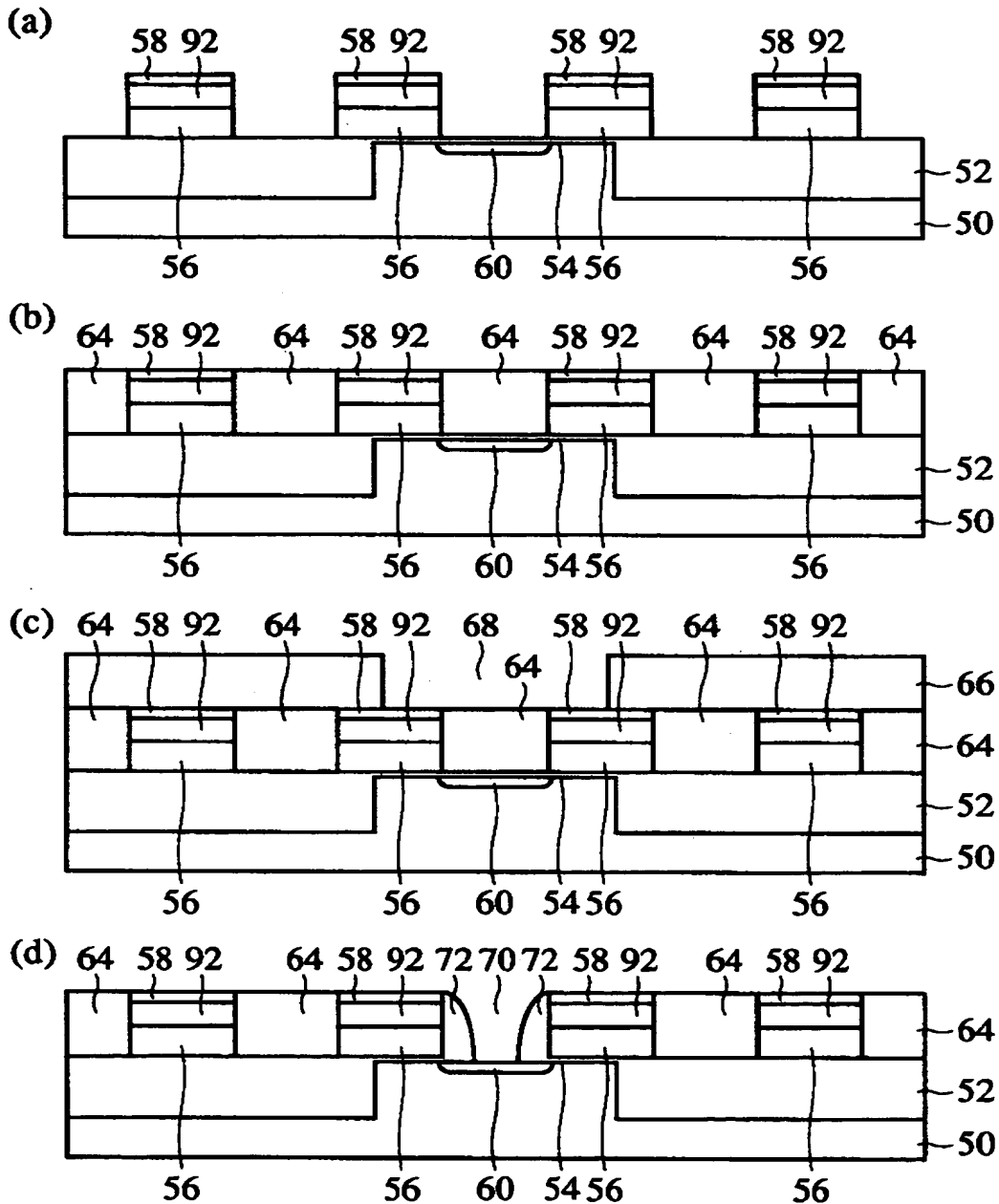


- 50…シリコン基板
- 52…素子分離膜
- 54…ゲート絶縁膜
- 56…ワード線
- 58、76…エッチングストップパ膜
- 60、62…不純物拡散層
- 64…層間絶縁膜
- 72、84…サイドウォール絶縁膜
- 74…ビット線
- 86…蓄積電極
- 88…誘電体
- 90…対向電極
- 92、94…絶縁膜



【図16】

本発明の第4実施形態による半導体装置  
の製造方法を示す工程断面図(その1)



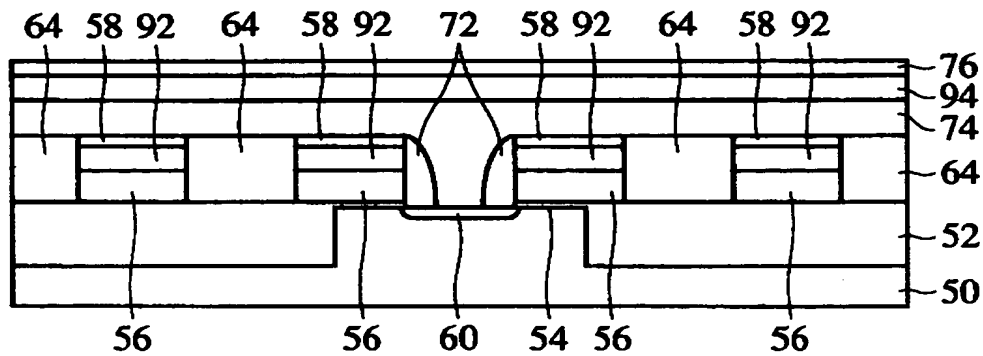
50…シリコン基板  
52…素子分離膜  
54…ゲート絶縁膜  
56…ワード線  
58…エッチングストッパ膜  
60…不純物拡散層

64…層間絶縁膜  
66…フォトレジスト  
68…開口部  
70…コンタクトホール  
72…サイドウォール絶縁膜  
92…絶縁膜

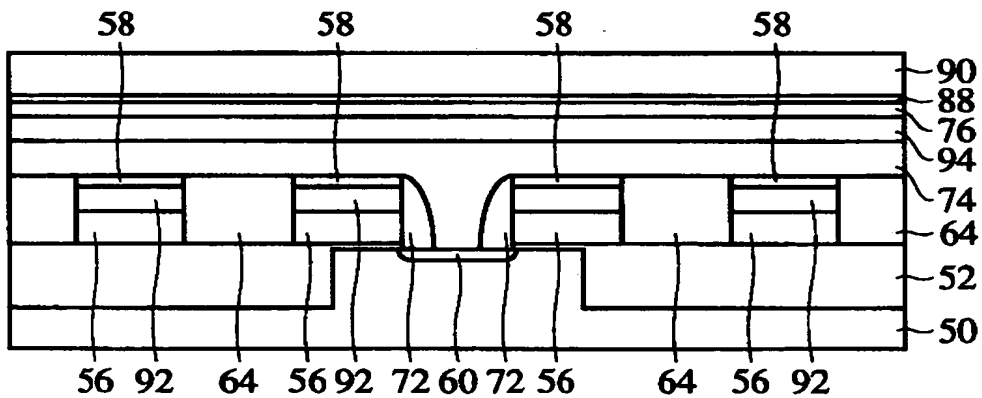
【図17】

本発明の第4実施形態による半導体装置  
の製造方法を示す工程断面図(その2)

(a)



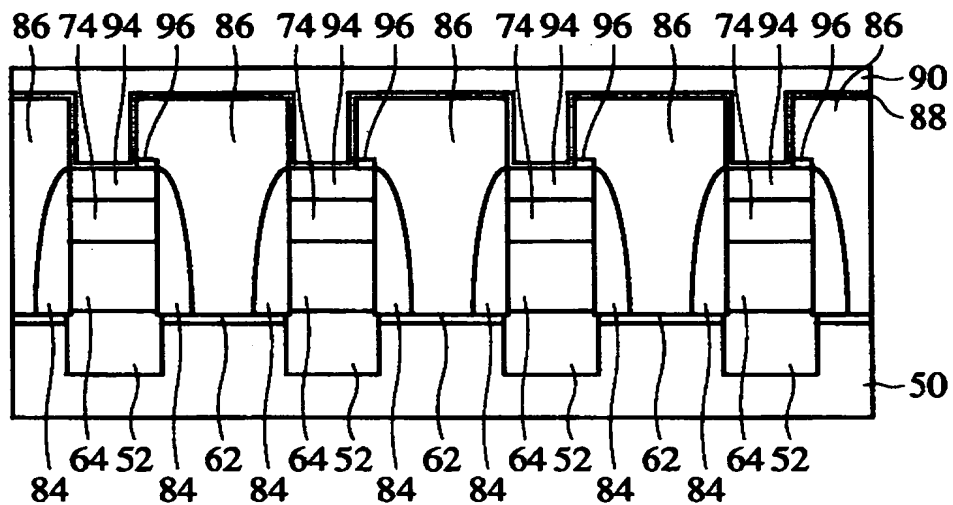
(b)



- 74…ビット線
- 76…エッチングストップ膜
- 88…誘電体膜
- 90…対向電極
- 94…絶縁膜

【図18】

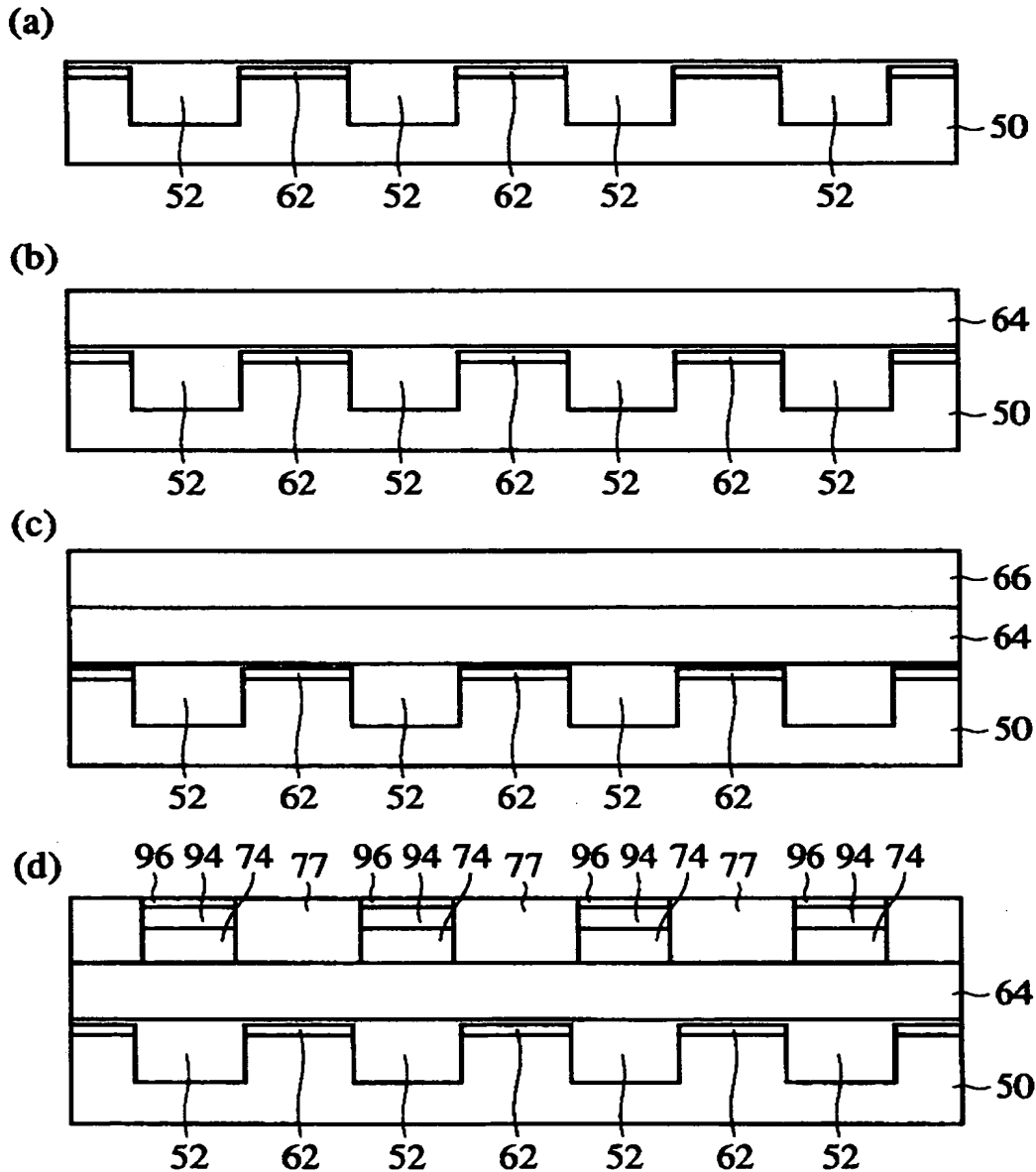
本発明の第5実施形態による半導体装置  
の構造を示す概略断面図



- 50…シリコン基板
- 52…素子分離膜
- 62…不純物拡散層
- 64…層間絶縁膜
- 74…ビット線
- 84…サイドウォール絶縁膜
- 86…蓄積電極
- 88…誘電体膜
- 90…対向電極
- 96…エッチングストッパ膜

【図 19】

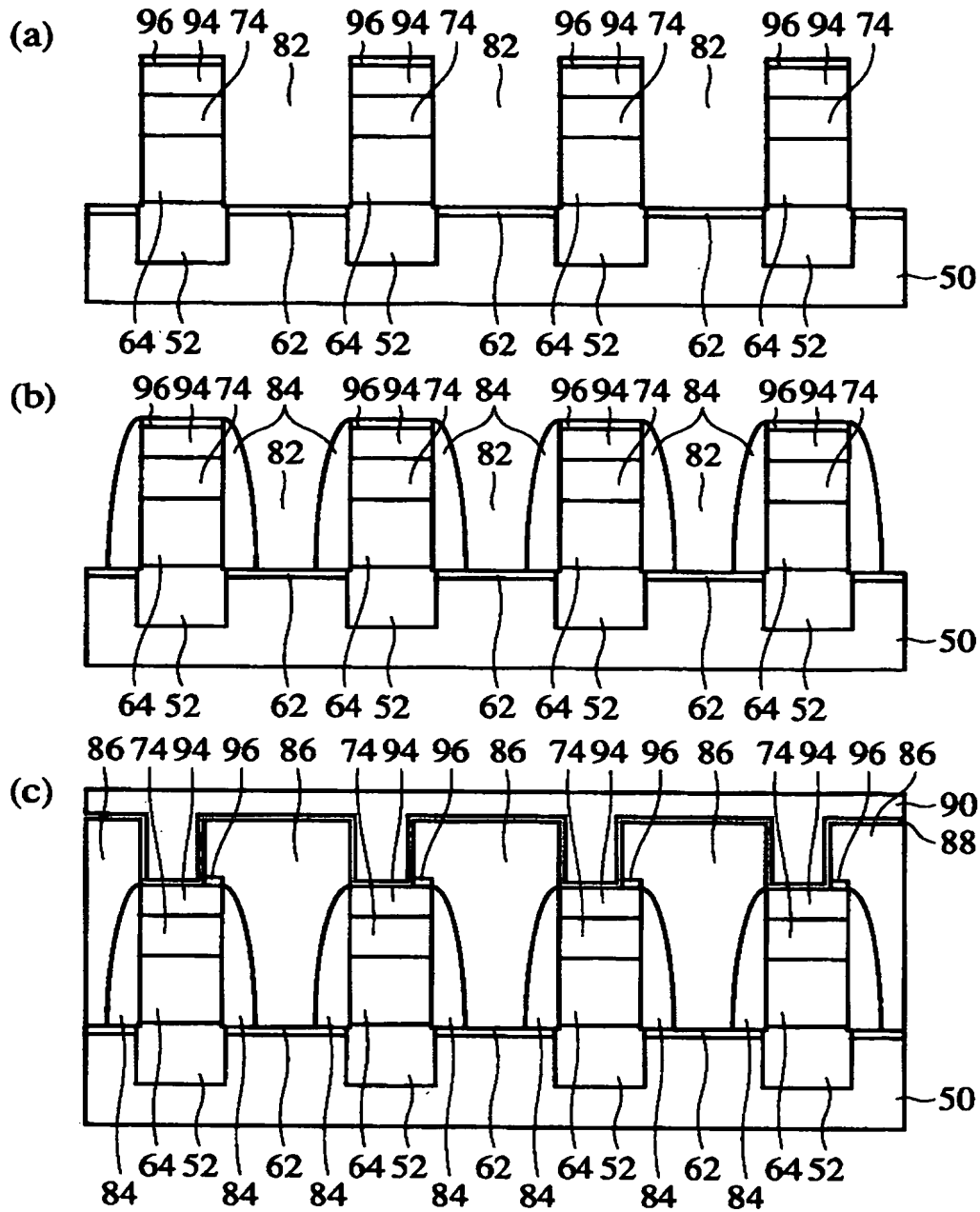
本発明の第5実施形態による半導体装置  
の製造方法を示す工程断面図(その1)



50…シリコン基板  
52…素子分離膜  
62…不純物拡散層  
64…層間絶縁膜  
66…フォトレジスト  
74…ビット線  
77…層間絶縁膜  
94…絶縁膜  
96…エッチングストップ膜

【図20】

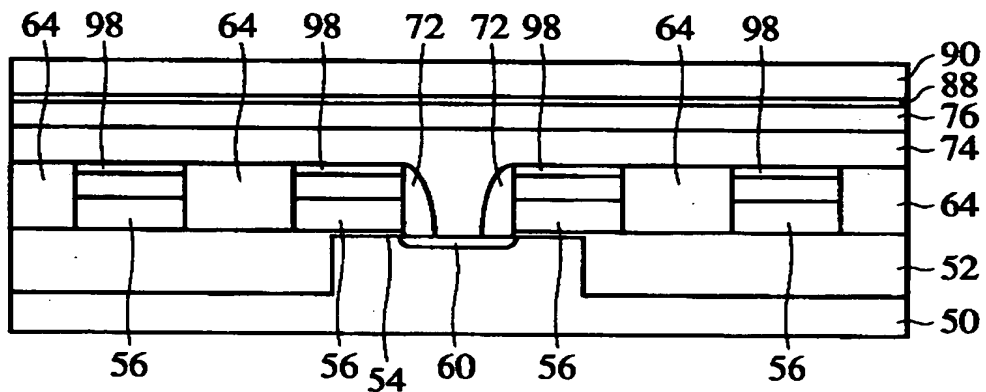
本発明の第5実施形態による半導体装置  
の製造方法を示す工程断面図(その2)



82…コンタクトホール  
84…サイドウォール絶縁膜  
86…蓄積電極  
88…誘電体膜  
90…対向電極

【図21】

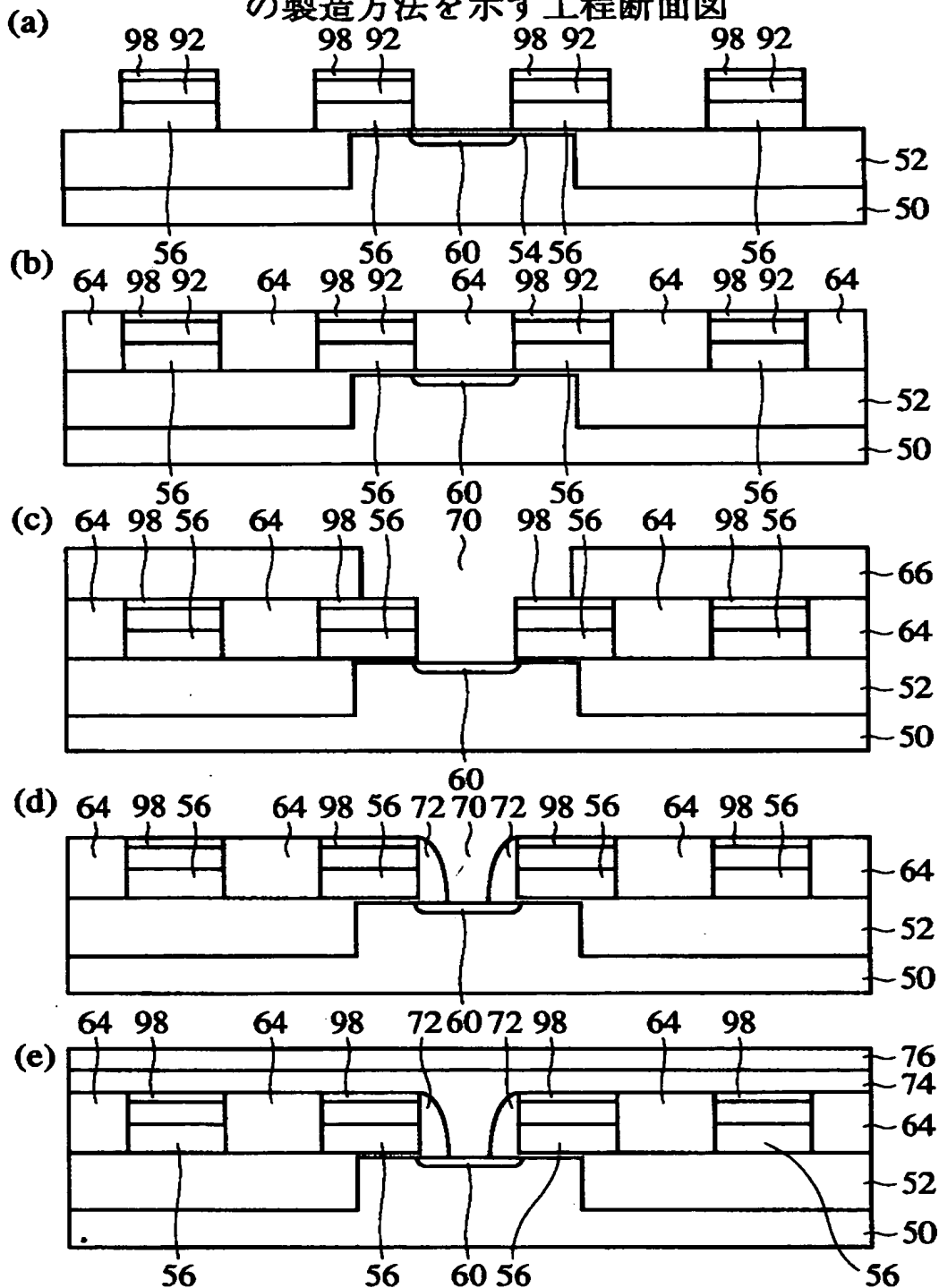
本発明の第6実施形態による半導体装置  
の構造を示す概略断面図



- 50…シリコン基板
- 52…素子分離膜
- 54…ゲート絶縁膜
- 56…ワード線
- 60…不純物拡散層
- 64…層間絶縁膜
- 72…サイドウォール絶縁膜
- 74…ビット線
- 76、98…エッチングストッパ膜
- 88…誘電体膜
- 90…対向電極
- 92…絶縁膜

【図22】

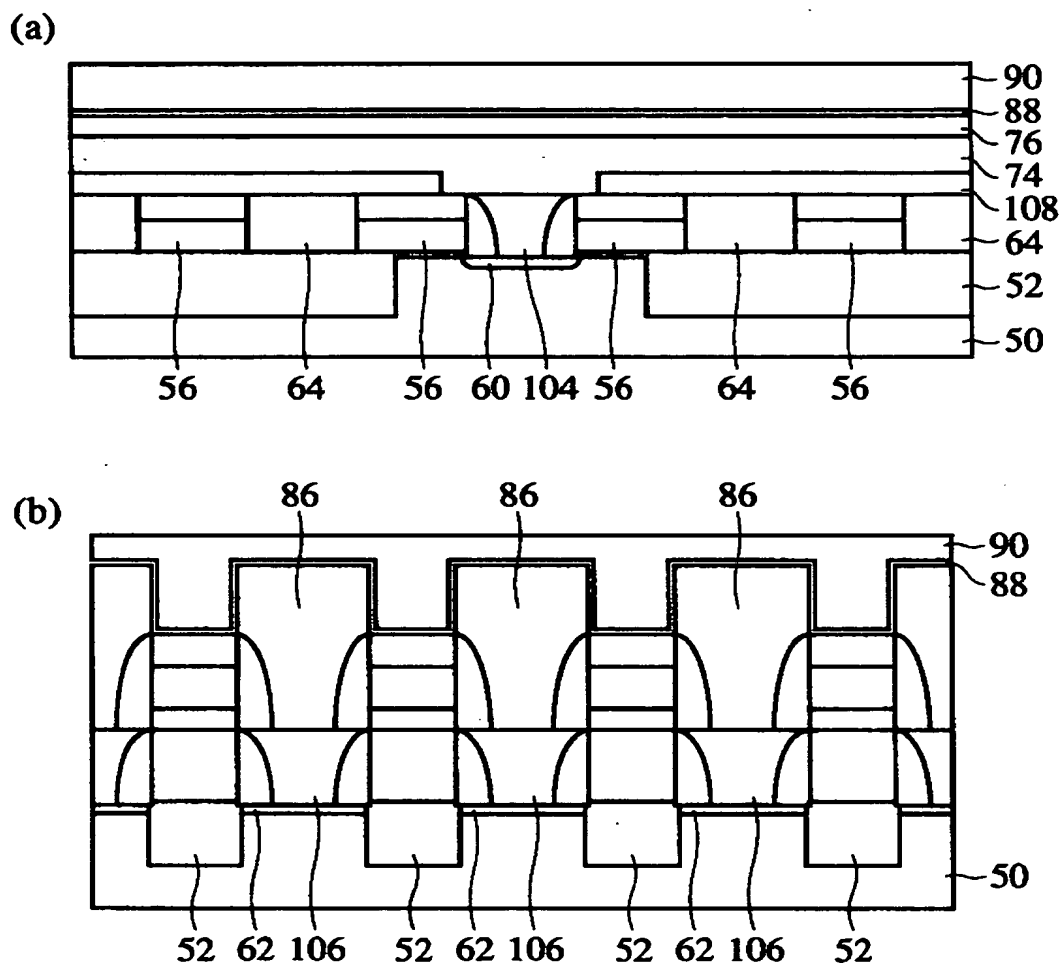
本発明の第6実施形態による半導体装置  
の製造方法を示す工程断面図



56…ワード線  
74…ビット線  
76、98…エッチングストッパ膜  
92…絶縁膜

【图 2 3】

## 本発明の第7実施形態による半導体装置の構造を示す概略断面図

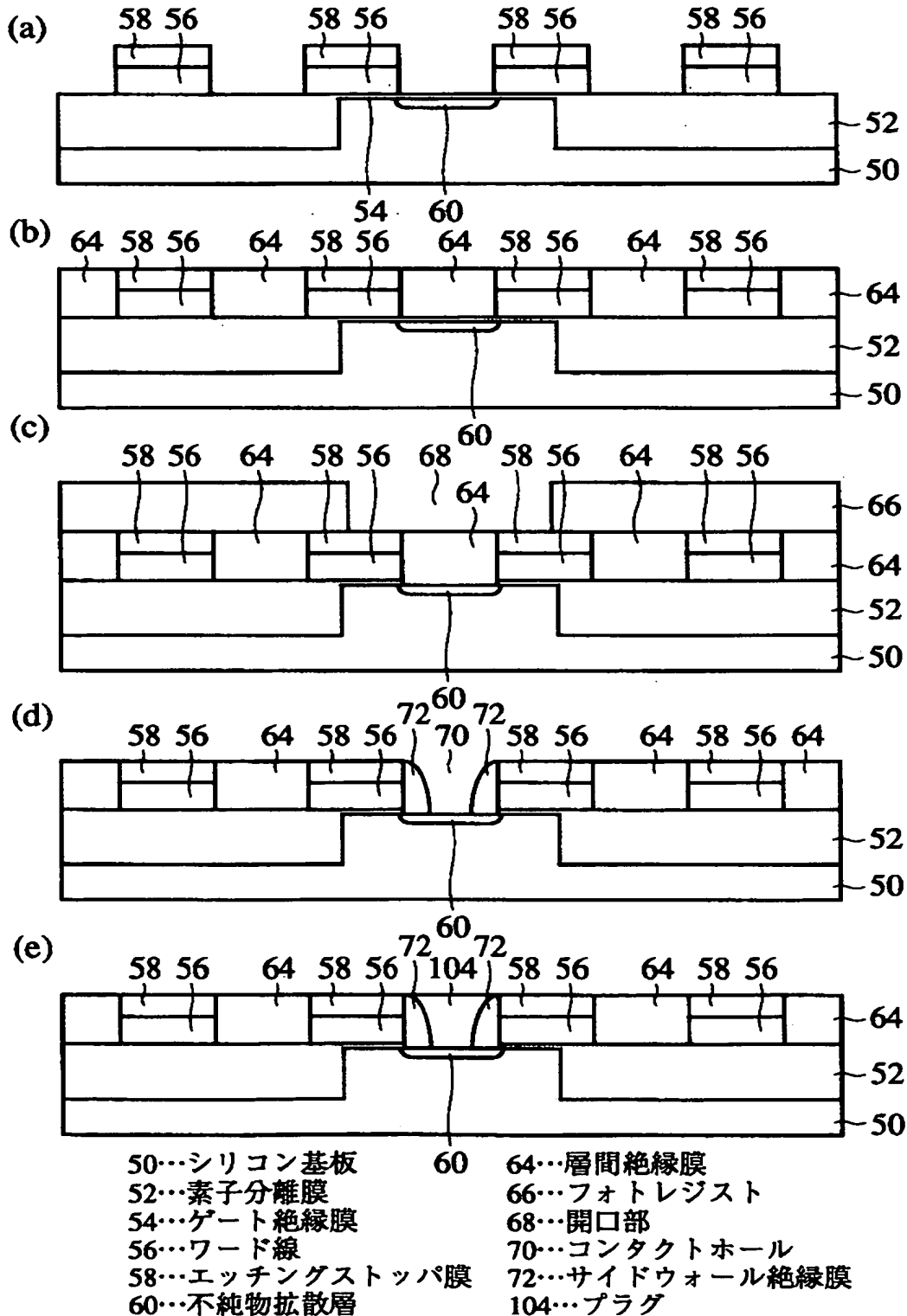


- 50…シリコン基板  
52…素子分離膜  
54…ゲート絶縁膜  
56…ワード線  
58、76…エッチングストoppa膜  
60、62…不純物拡散層  
64、108…層間絶縁膜  
72、84…サイドウォール絶縁膜  
74…ビット線  
86…蓄積電極  
88…誘電体膜  
90…対向電極  
104、106…プラグ



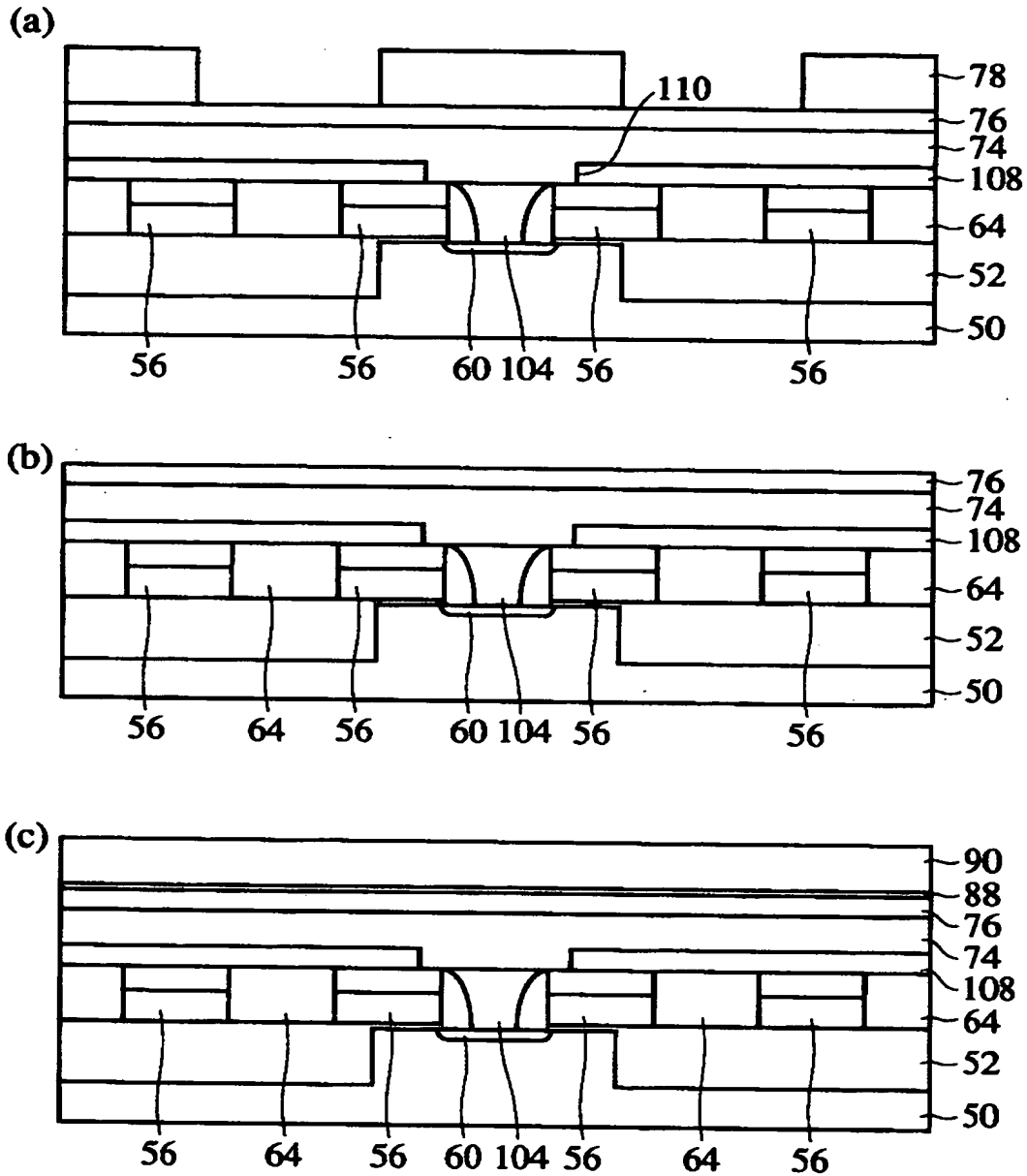
【図24】

本発明の第7実施形態による半導体装置  
の製造方法を示す工程断面図(その1)



【図25】

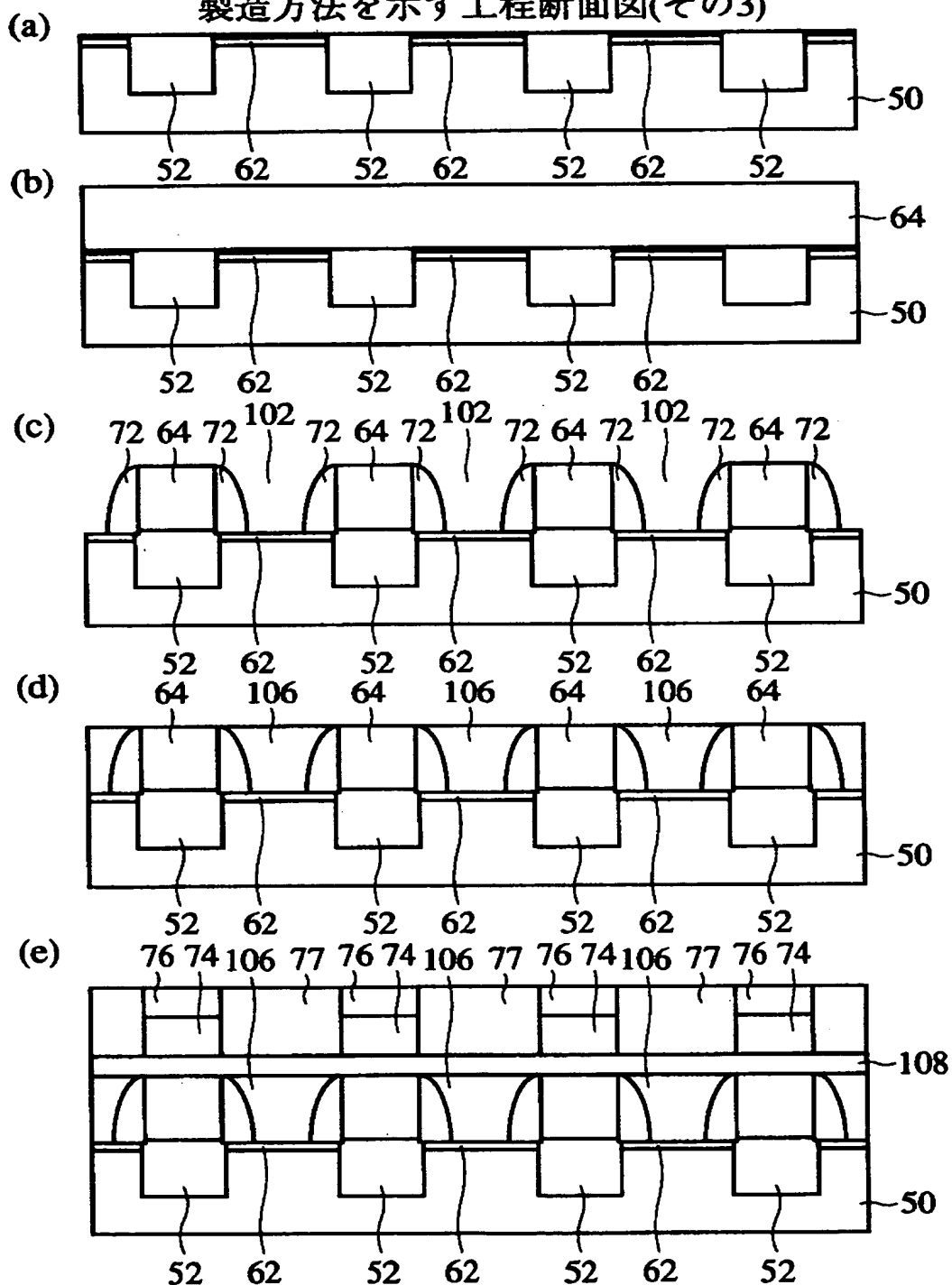
本発明の第7実施形態による半導体装置  
の製造方法を示す工程断面図(その2)



74…ビット線  
76…エッチングストップ膜  
78…フォトレジスト  
88…誘電体膜  
90…対向電極  
108…層間絶縁膜

【図26】

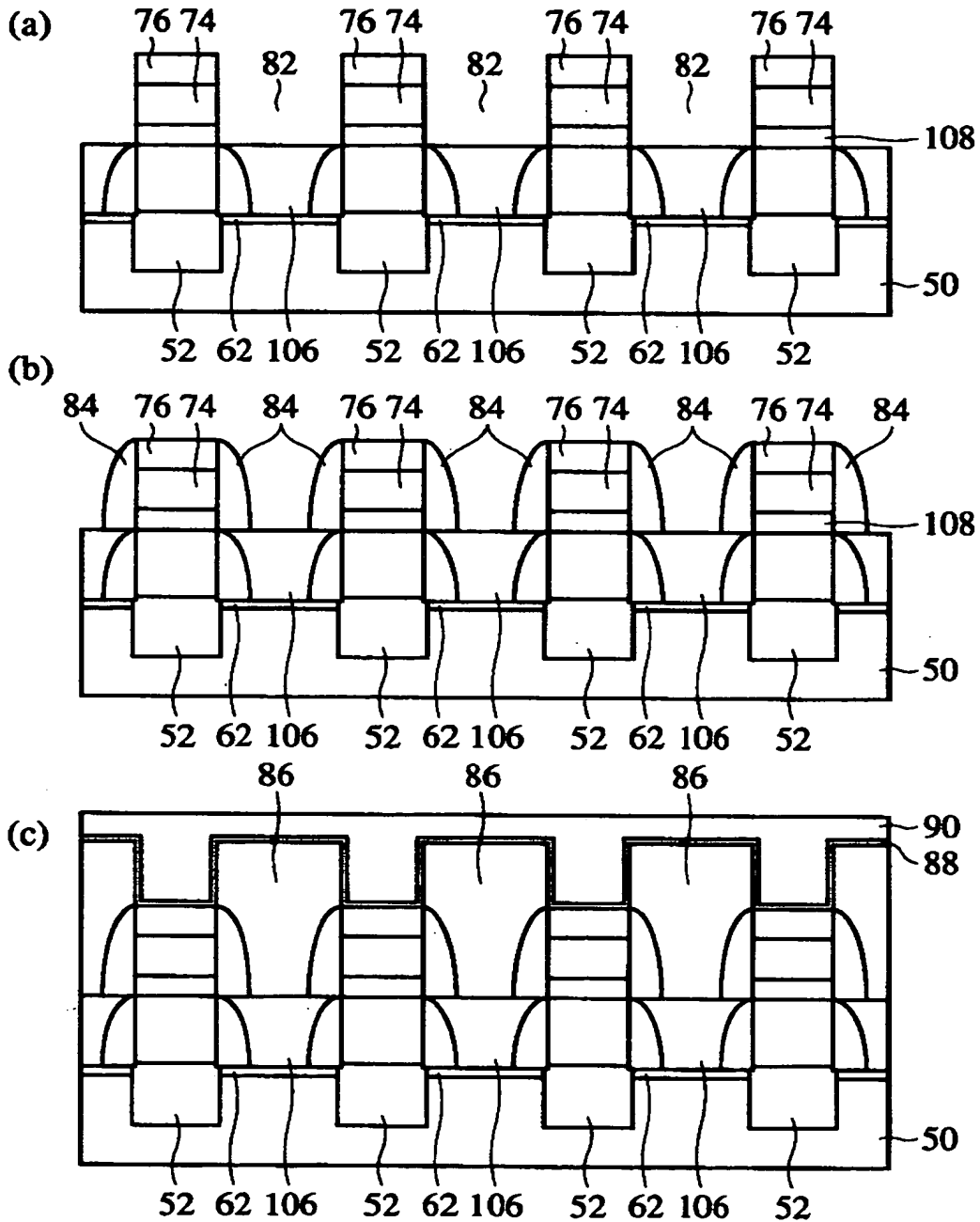
本発明の第7実施形態による半導体装置の  
製造方法を示す工程断面図(その3)



50…シリコン基板 72…サイドウォール絶縁膜 102…コンタクトホール  
52…素子分離膜 74…ビット線 106…プラグ  
62…不純物拡散層 76…エッチングストップ膜 108…層間絶縁膜  
64…層間絶縁膜 77…層間絶縁膜

【図27】

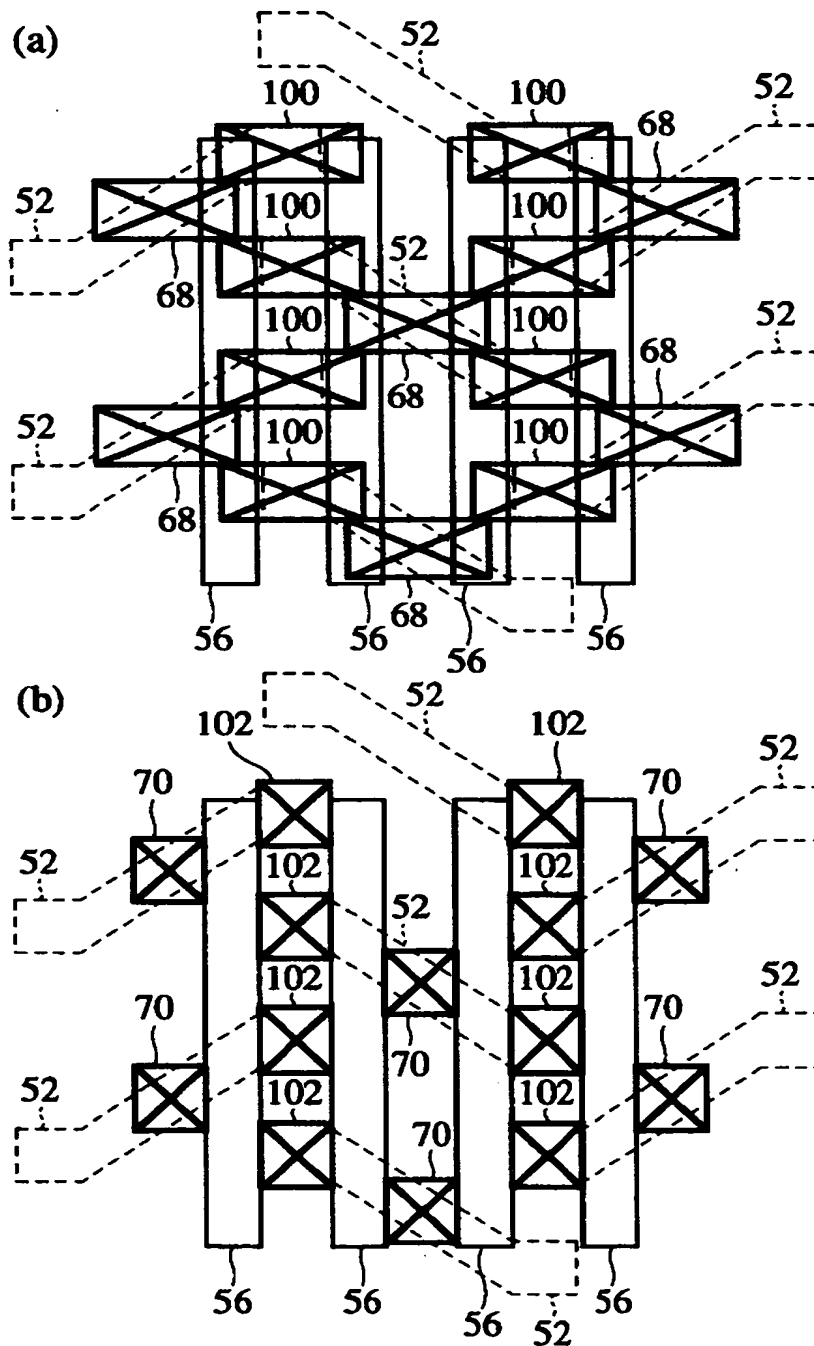
本発明の第7実施形態による半導体装置の  
製造方法を示す工程断面図(その4)



82…コンタクトホール  
84…サイドウォール絶縁膜  
86…蓄積電極  
88…誘電体膜  
90…対向電極

【図28】

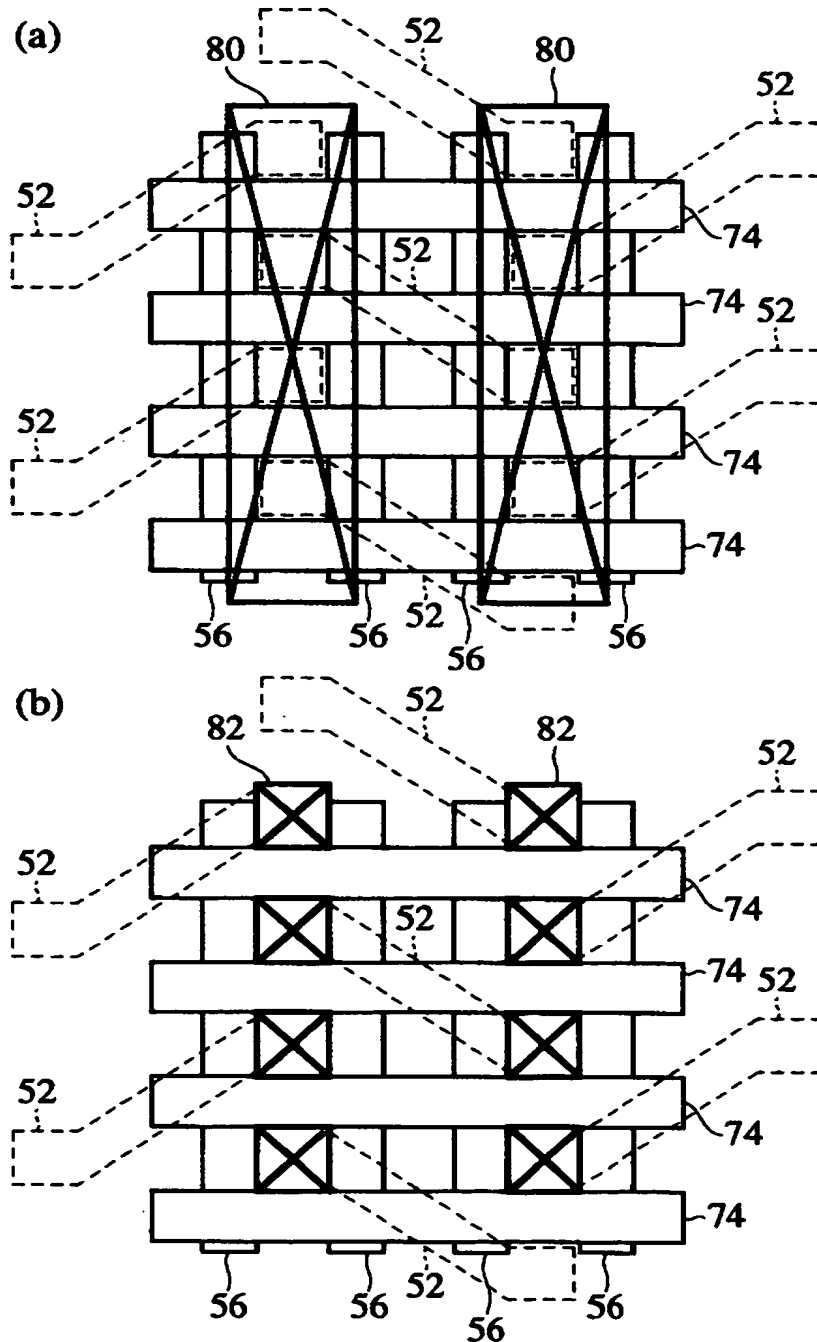
本発明の第7実施形態による半導体装置におけるビット線  
 コンタクトホールを形成するためのレジストパターンと  
 開口されたコンタクトホールを示す平面図



52…素子分離膜  
 56…ワード線  
 68、100…開口部  
 70、102…コンタクトホール

【図29】

本発明の第7実施形態による半導体装置における蓄積電極  
コンタクトホールを形成するためのレジストパターンと  
開口されたコンタクトホールを示す平面図



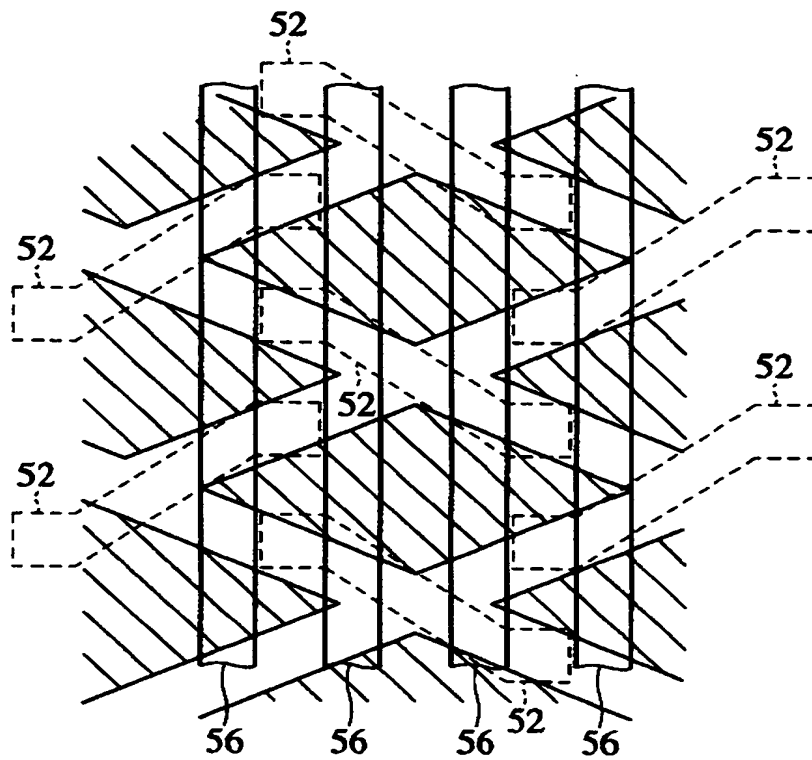
52…素子分離膜  
56…ワード線  
74…ビット線

80…開口部  
82…コンタクトホール



【図30】

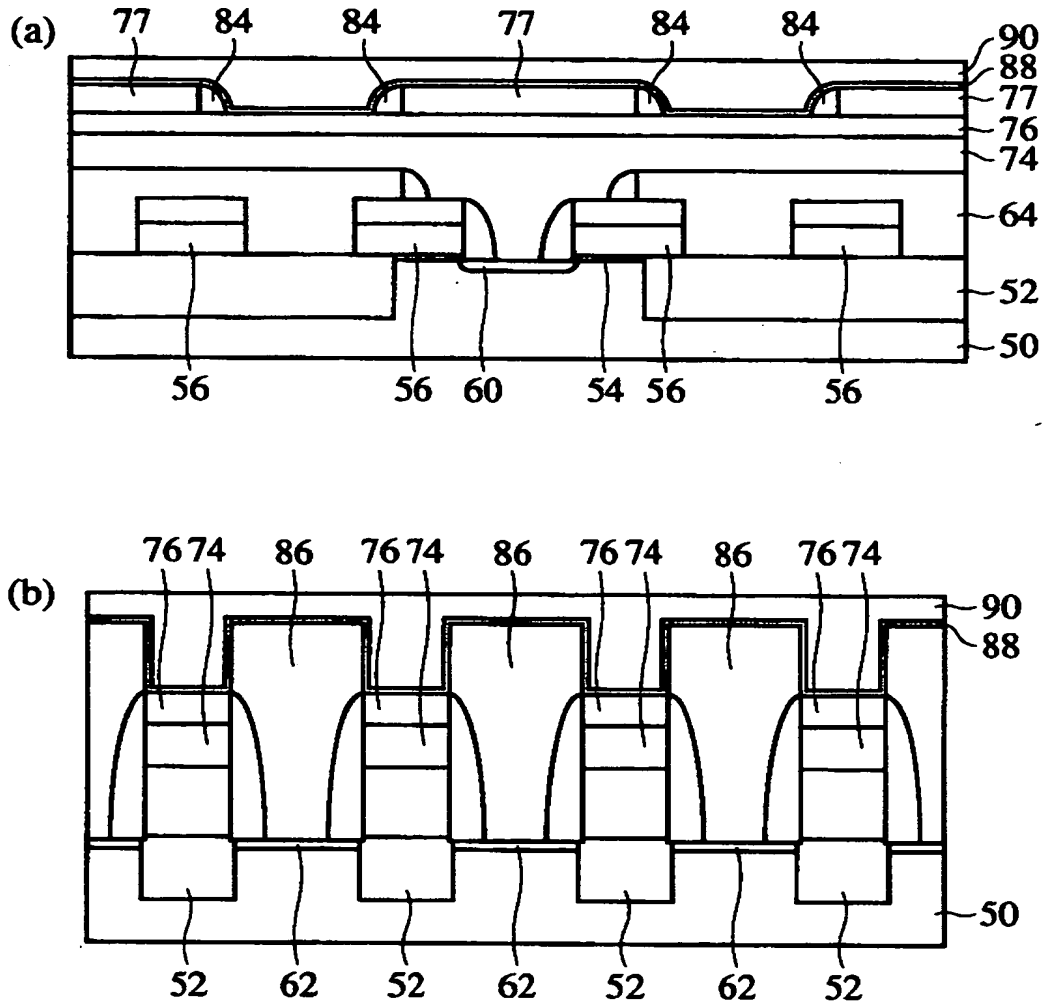
本発明の第7実施形態の変形例による半導体装置における  
ビット線コンタクトホールを形成するための  
レジストパターンを示す平面図



52…素子分離膜  
56…ワード線

【図31】

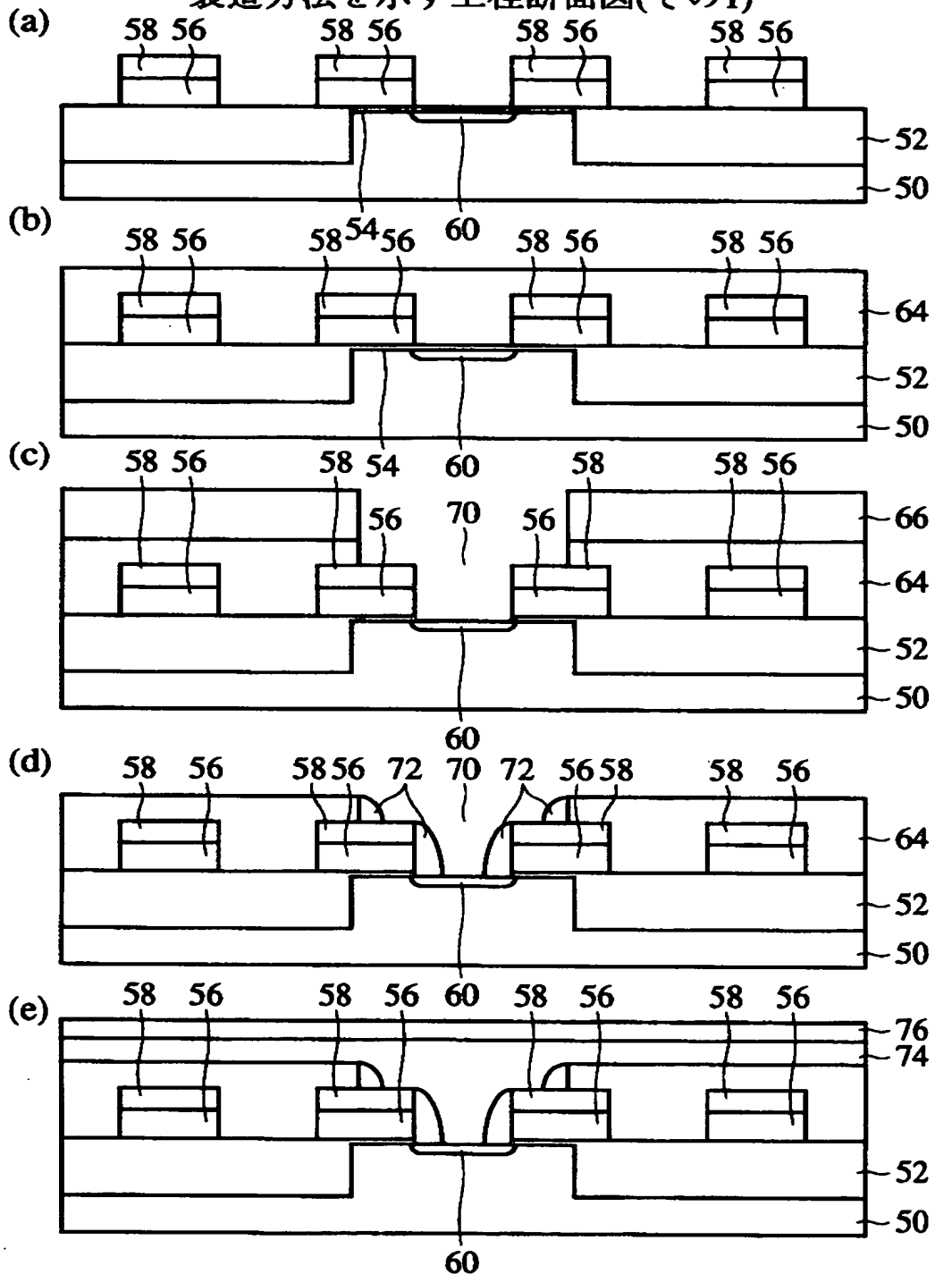
本発明の第8実施形態による半導体装置の  
構造を示す概略断面図



- 50…シリコン基板
- 52…素子分離膜
- 54…ゲート絶縁膜
- 56…ワード線
- 58、76…エッチングストッパ膜
- 60、62…不純物拡散層
- 64、77…層間絶縁膜
- 72、84…サイドウォール絶縁膜
- 74…ビット線
- 86…蓄積電極
- 88…誘電体膜
- 90…対向電極

【図32】

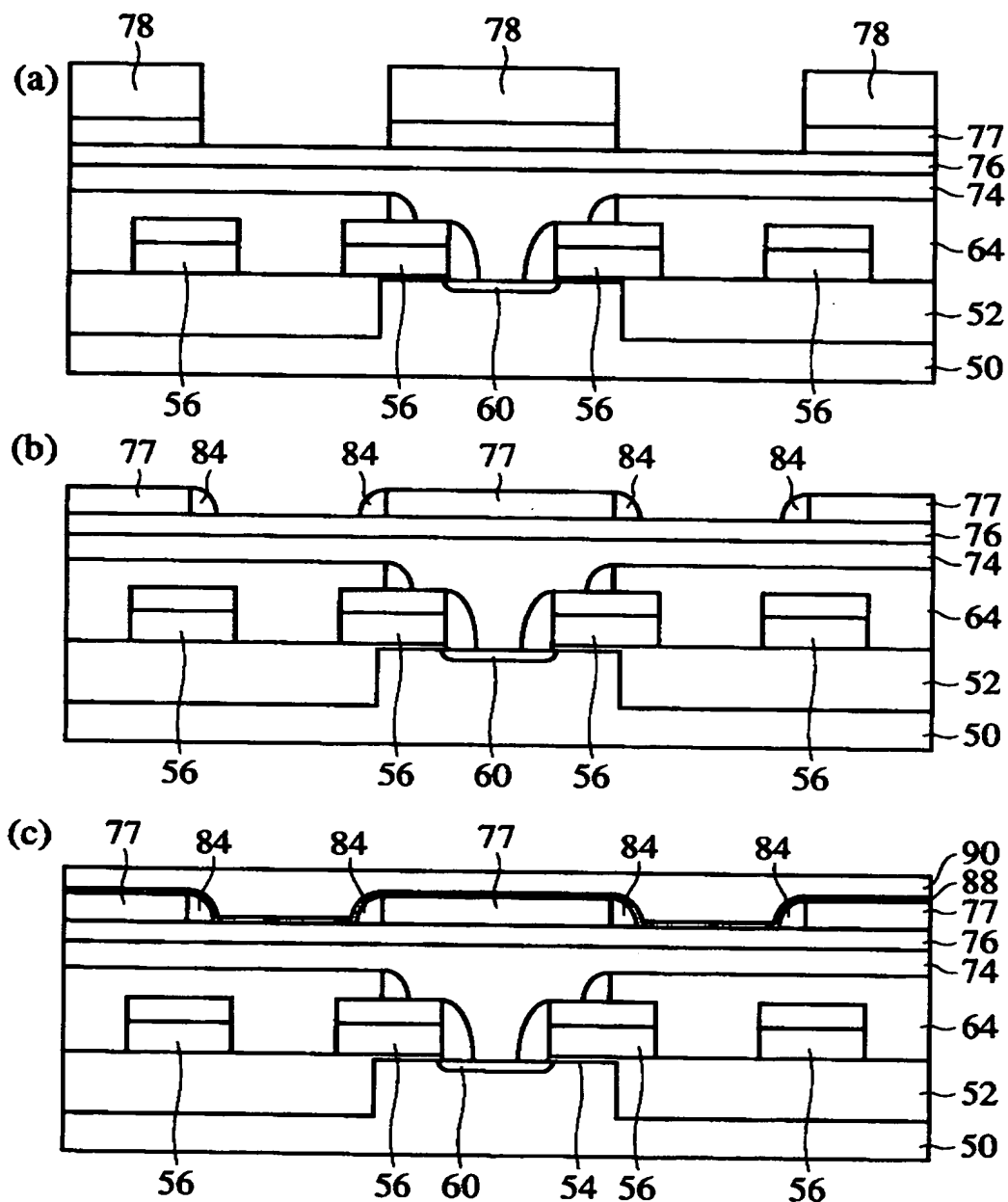
本発明の第8実施形態による半導体装置の  
製造方法を示す工程断面図(その1)



- |           |                  |               |
|-----------|------------------|---------------|
| 50…シリコン基板 | 58、76…エッチングストップ膜 | 70…コンタクトホール   |
| 52…素子分離膜  | 60…不純物拡散層        | 72…サイドウォール絶縁膜 |
| 54…ゲート絶縁膜 | 64…層間絶縁膜         | 74…ビット線       |
| 56…ワード線   | 66…フォトリソ         |               |

【図33】

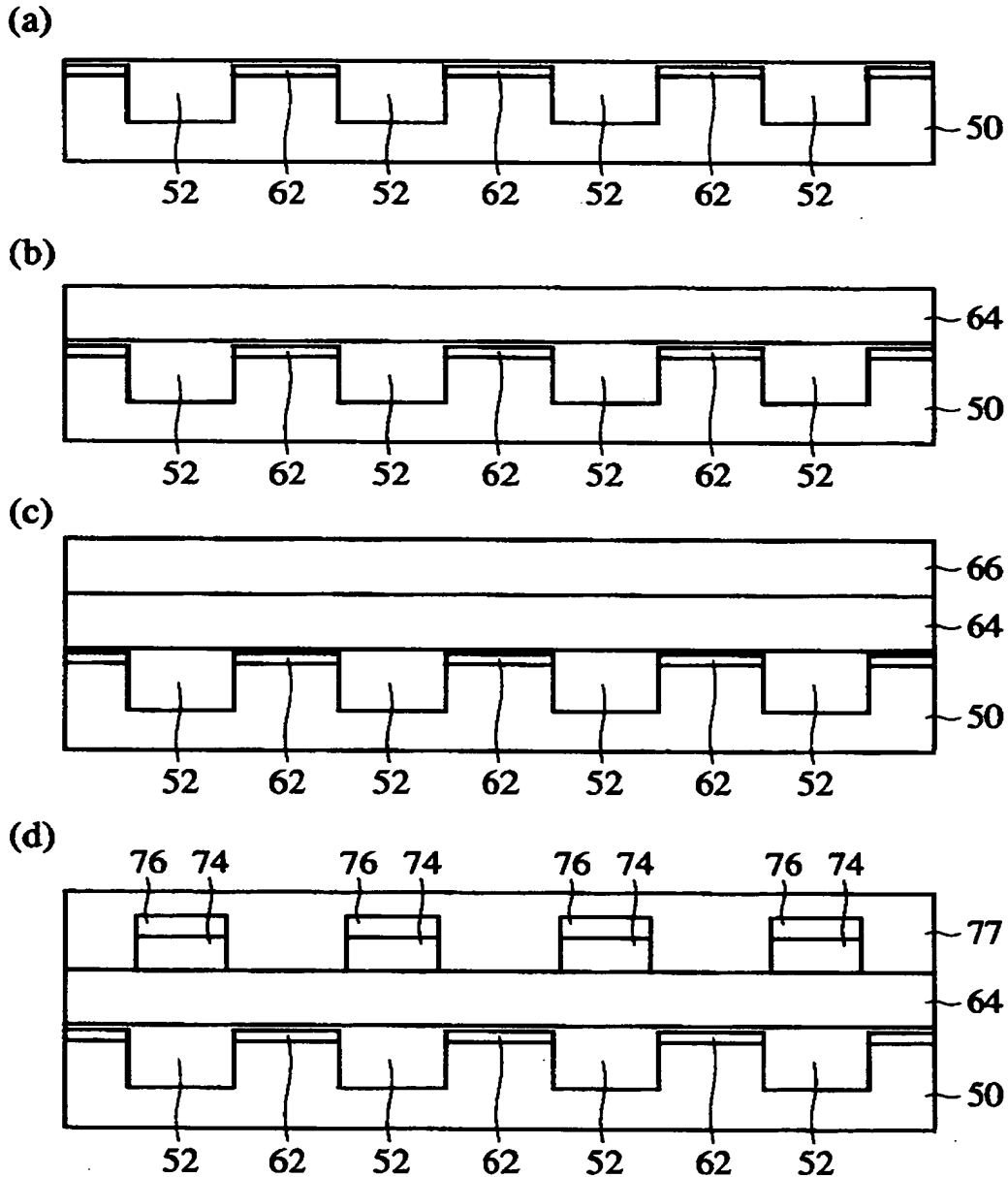
本発明の第8実施形態による半導体装置の  
製造方法を示す工程断面図(その2)



77…層間絶縁膜  
78…フォトレジスト  
84…サイドウォール絶縁膜  
88…誘電体膜  
90…対向電極

【図34】

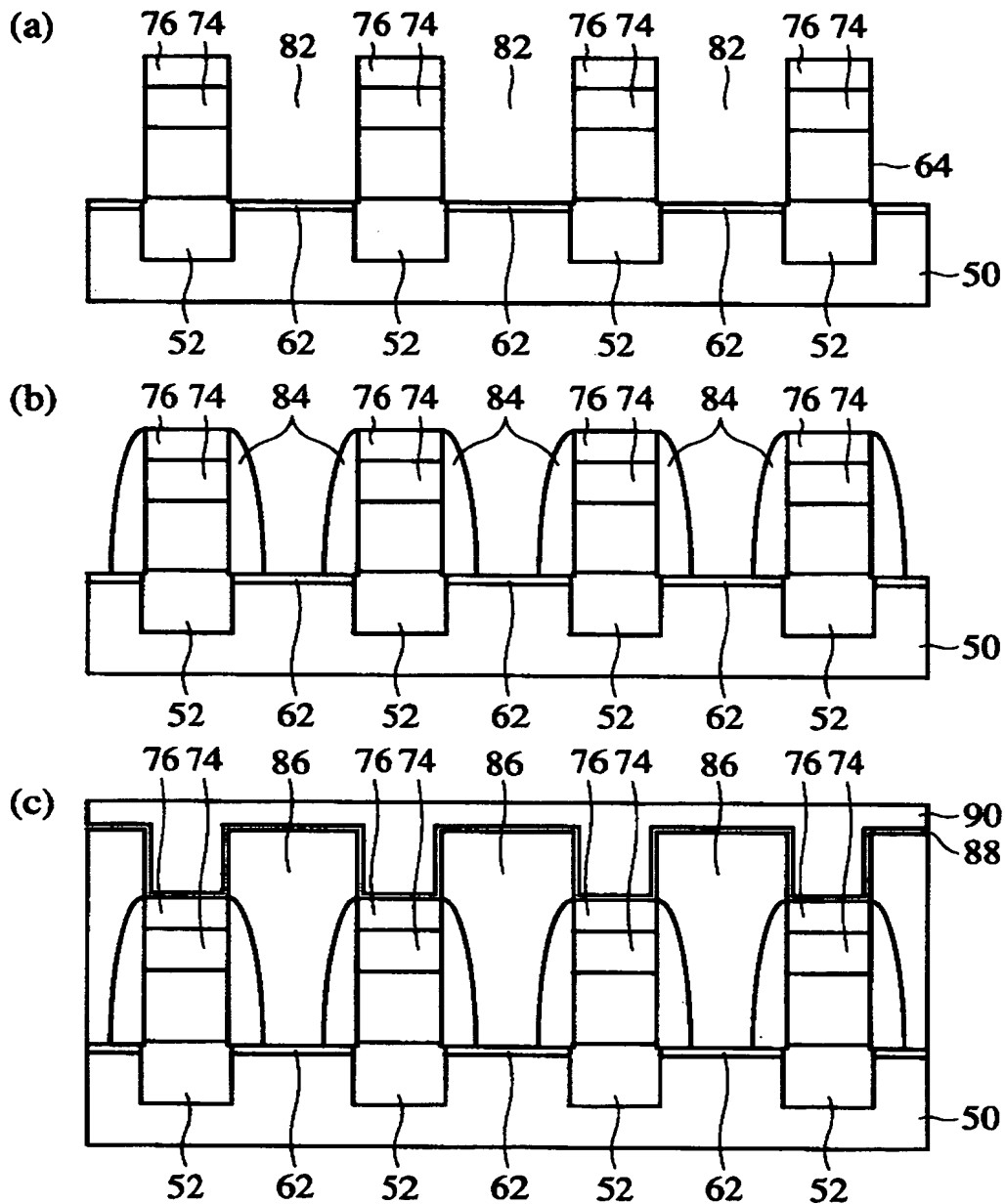
本発明の第8実施形態による半導体装置の  
製造方法を示す工程断面図(その3)



- 50…シリコン基板
- 52…素子分離膜
- 62…不純物拡散層
- 64…層間絶縁膜
- 66…フォトレジスト
- 74…ビット線
- 76…エッチングストッパ膜
- 77…層間絶縁膜

【図35】

本発明の第8実施形態による半導体装置の  
製造方法を示す工程断面図(その4)



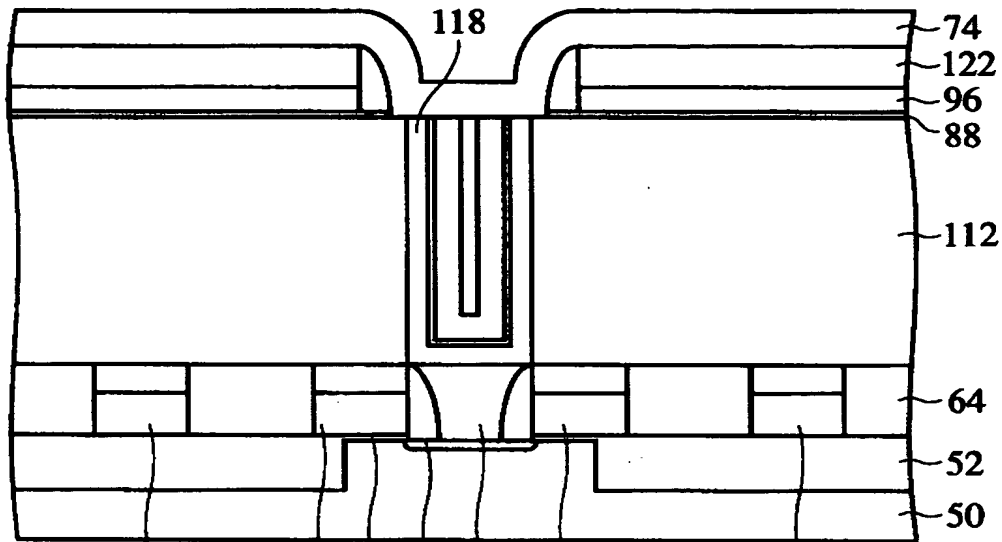
82…コンタクトホール  
84…サイドウォール絶縁膜  
86…蓄積電極  
88…誘電体膜  
90…対向電極



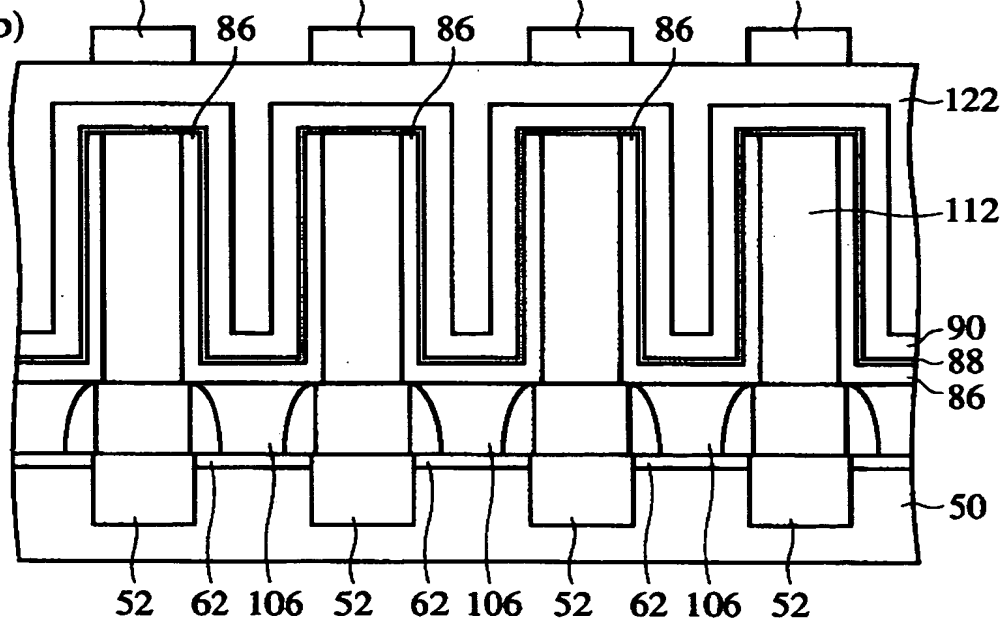
【図36】

本発明の第9実施形態による半導体装置の  
構造を示す概略断面図

(a)



(b)



50…シリコン基板

52…素子分離膜

54…ゲート絶縁膜

56…ワード線

58…エッチングストップ膜

60、62…不純物拡散層

64、77、112、122…層間絶縁膜

72、84、124…サイドウォール絶縁膜

74…ビット線

86…蓄積電極

88…誘電体膜

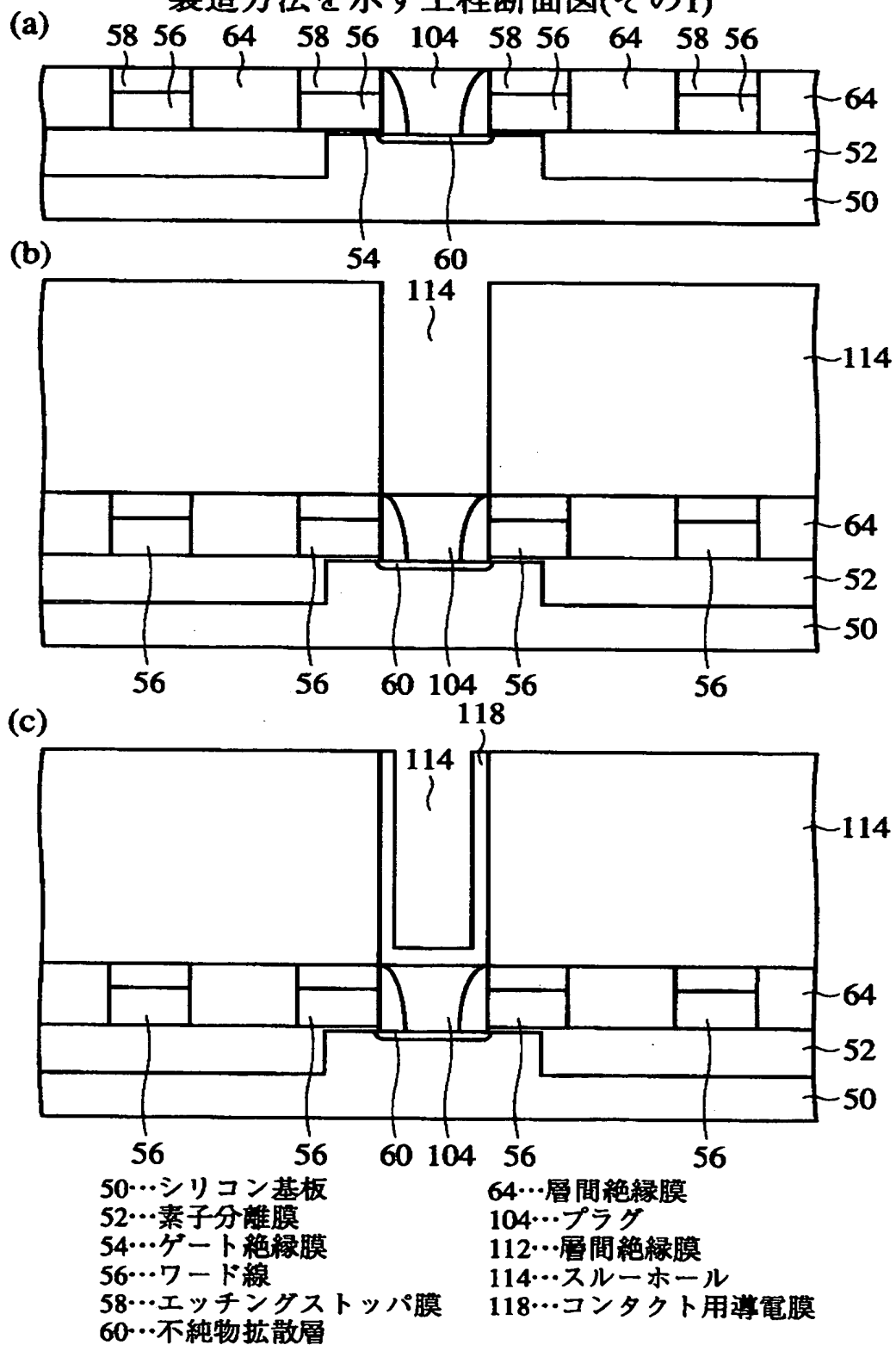
90…対向電極

118…コンタクト用導電膜

特平 9－287466

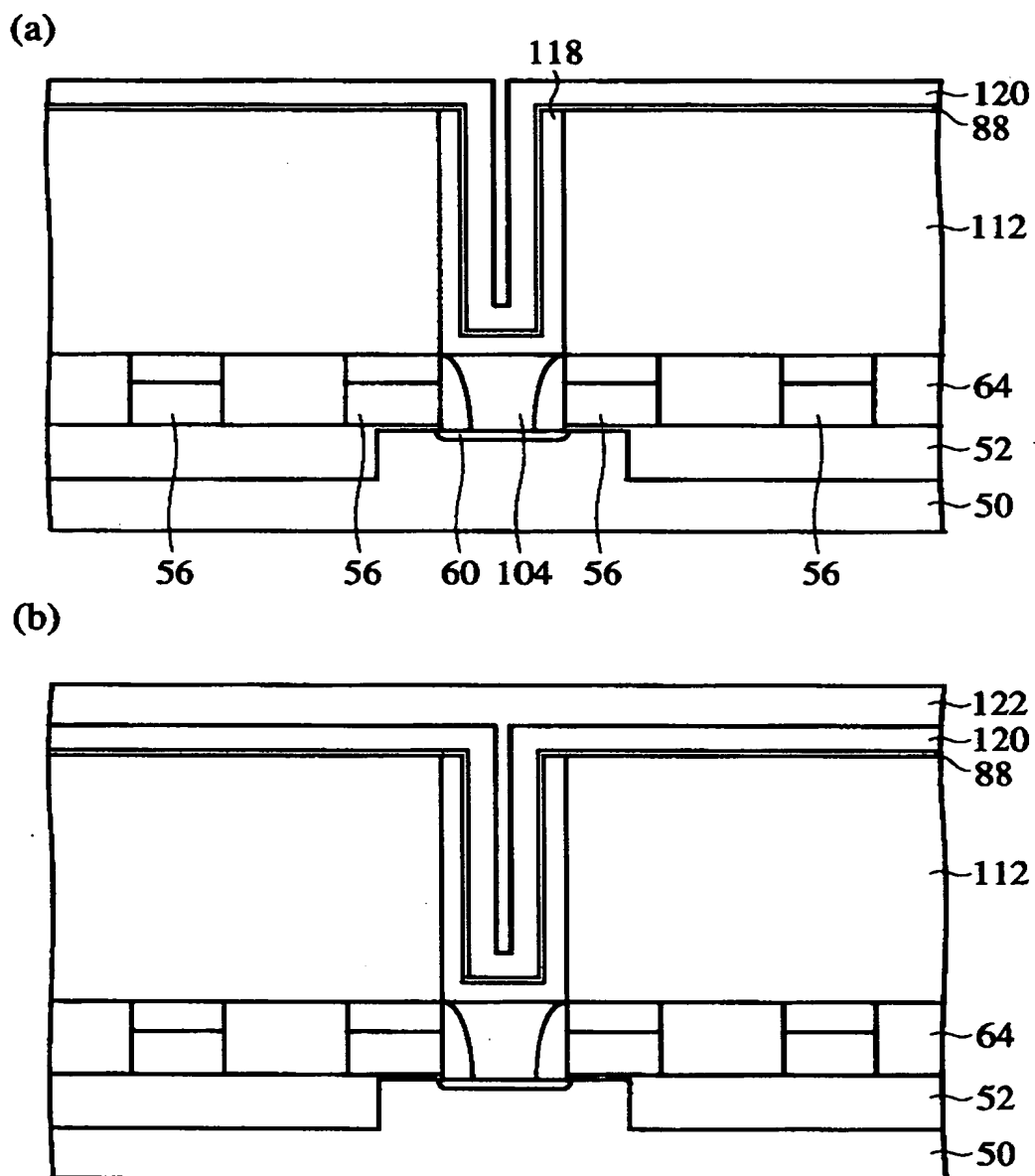
【図37】

本発明の第9実施形態による半導体装置の  
製造方法を示す工程断面図(その1)



【図38】

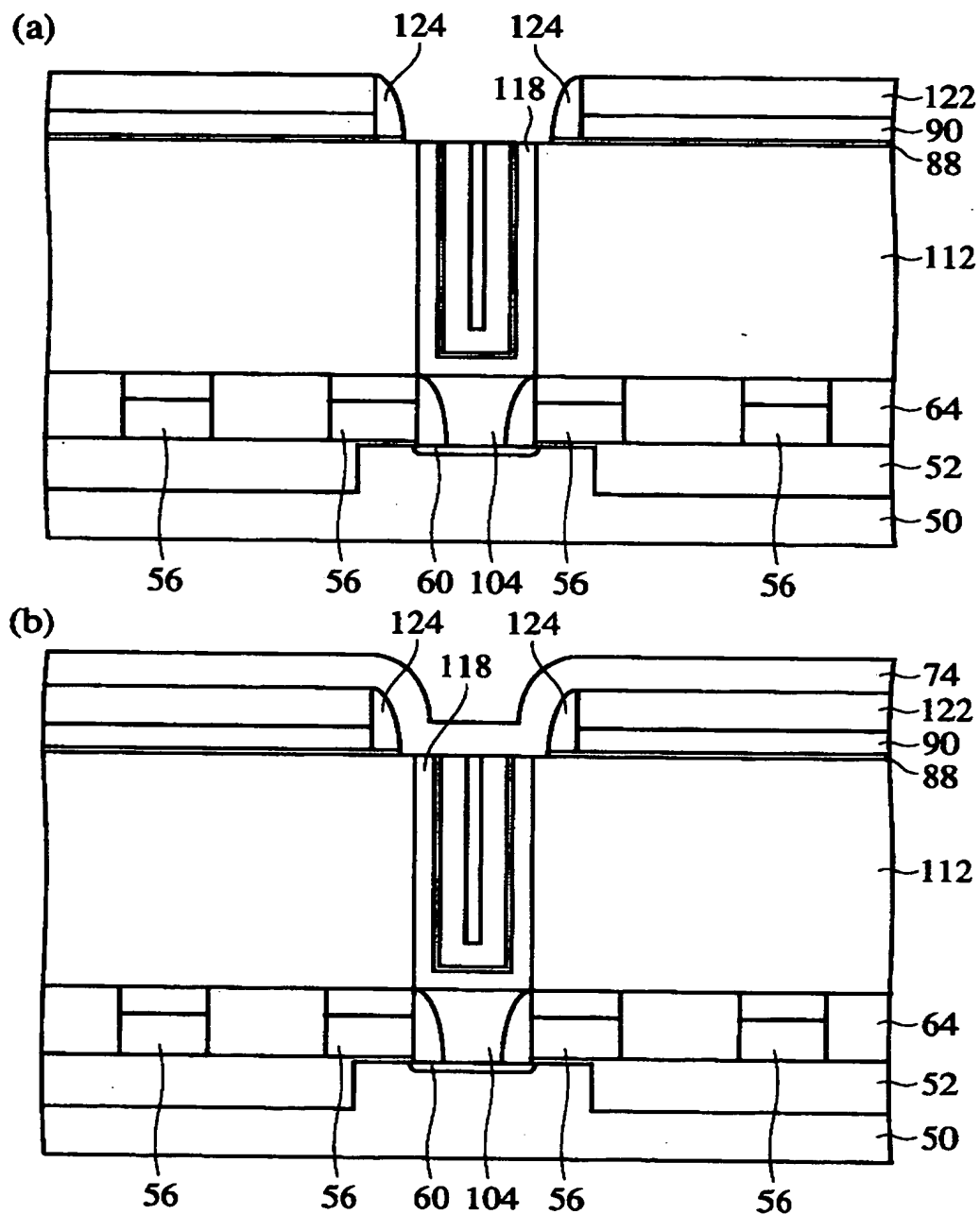
本発明の第9実施形態による半導体装置の  
製造方法を示す工程断面図(その2)



88…誘電体膜  
120…多結晶シリコン膜  
122…層間絶縁膜

【図39】

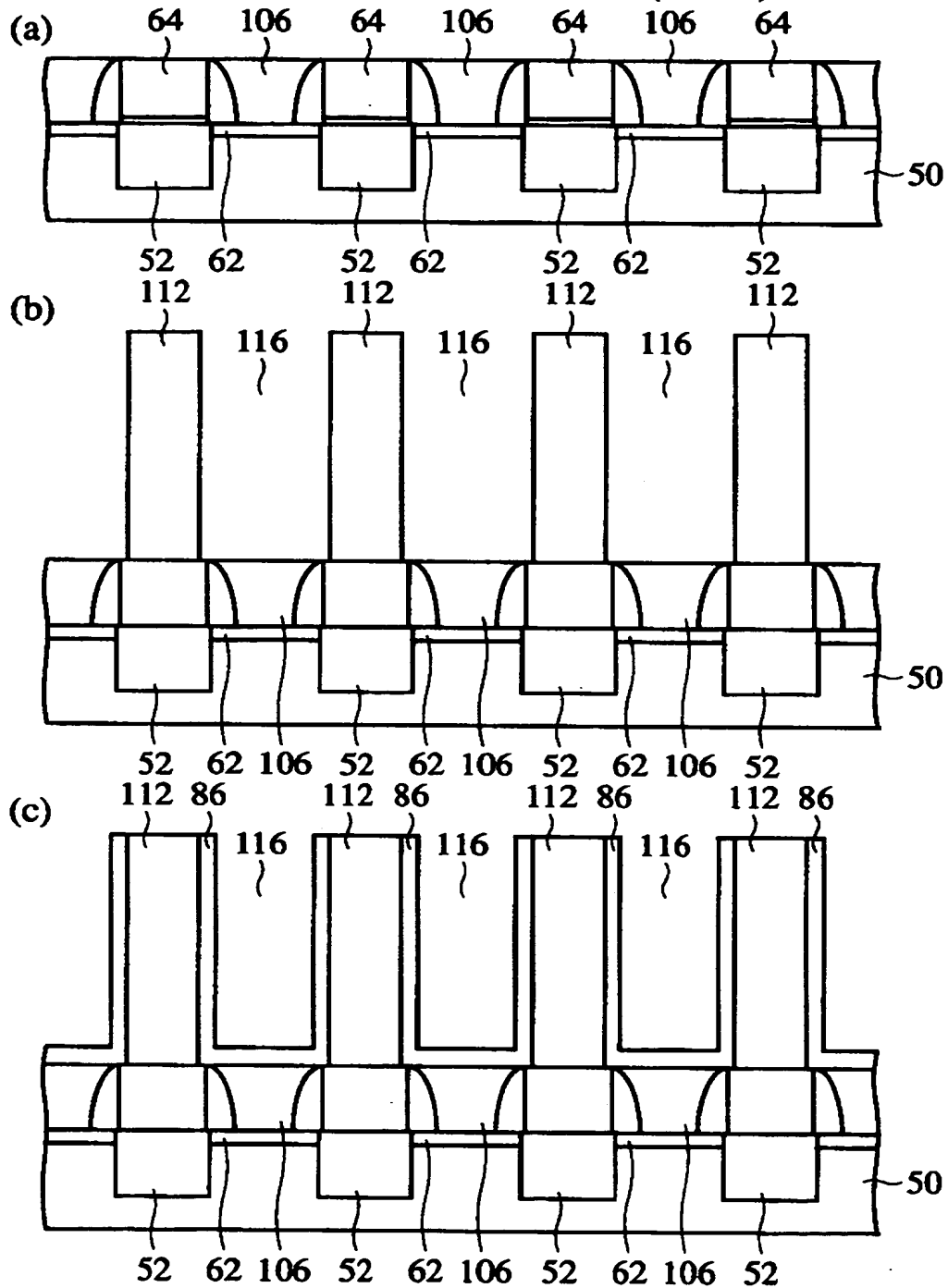
本発明の第9実施形態による半導体装置の  
製造方法を示す工程断面図(その3)



74…ビット線  
90…対向電極  
124…サイドウォール絶縁膜

【図40】

本発明の第9実施形態による半導体装置の  
製造方法を示す工程断面図(その4)



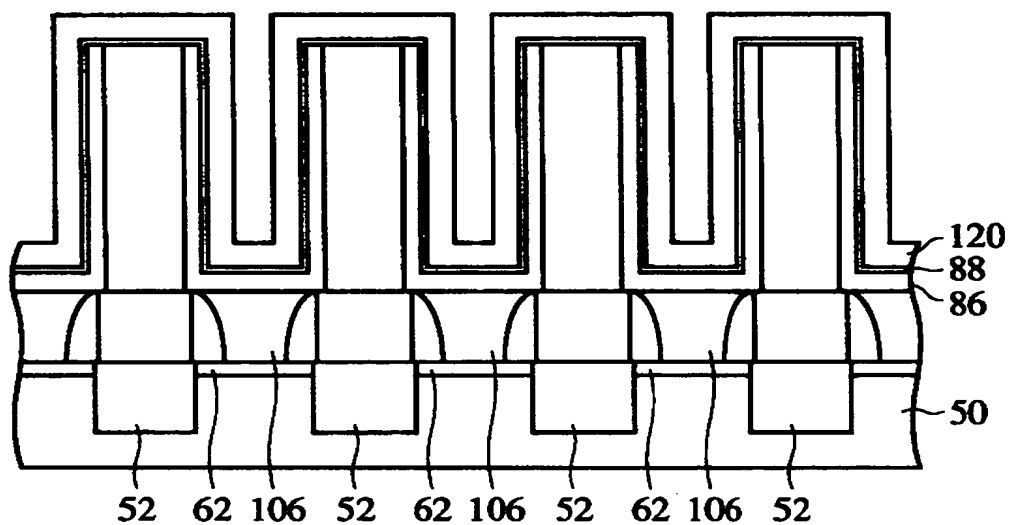
50…シリコン基板  
52…素子分離膜  
62…不純物拡散層  
64…層間絶縁膜

86…蓄積電極  
106…プラグ  
112…層間絶縁膜  
116…スルーホール

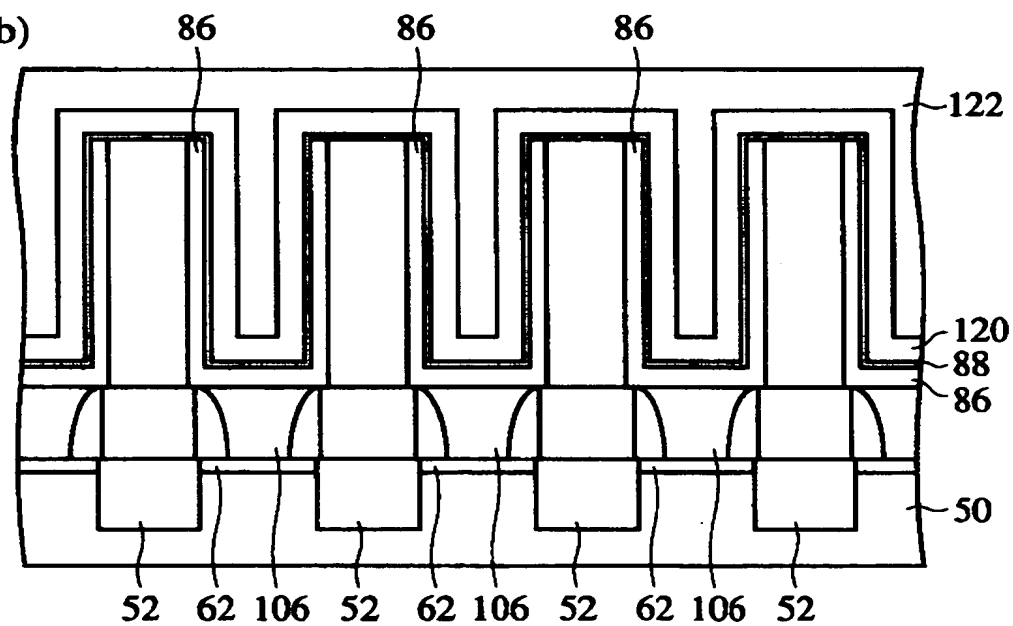
【図41】

本発明の第9実施形態による半導体装置  
の製造方法を示す工程断面図(その5)

(a)



(b)

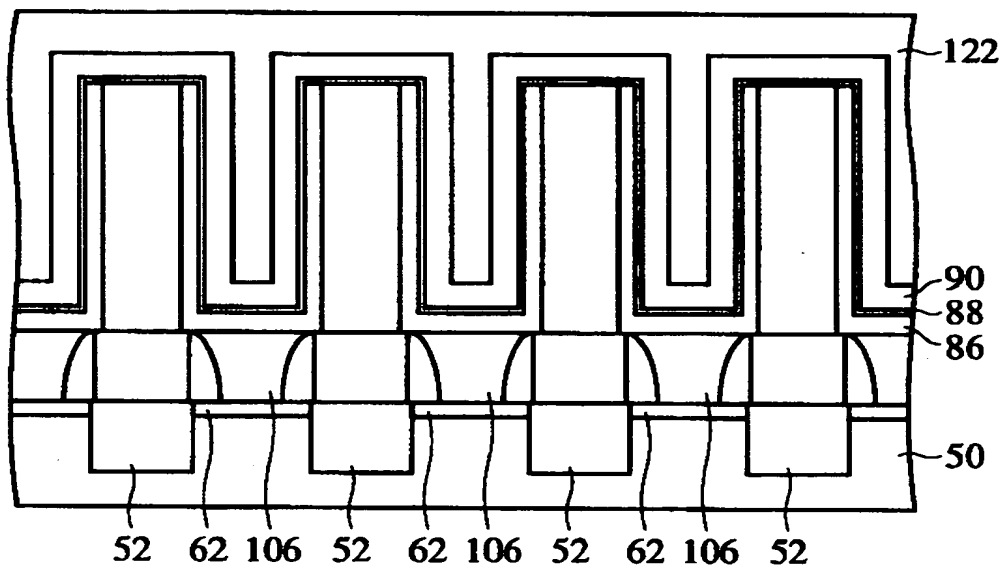


88…誘電体膜  
90…対向電極  
120…多結晶シリコン膜  
122…層間絶縁膜

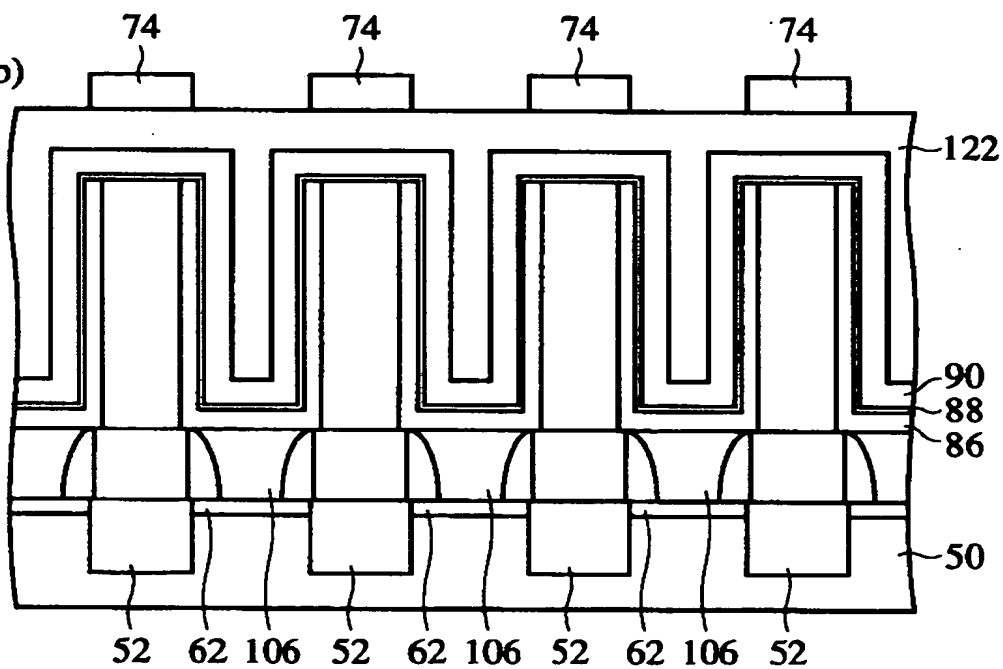
【図42】

本発明の第9実施形態による半導体装置  
の製造方法を示す工程断面図(その6)

(a)



(b)

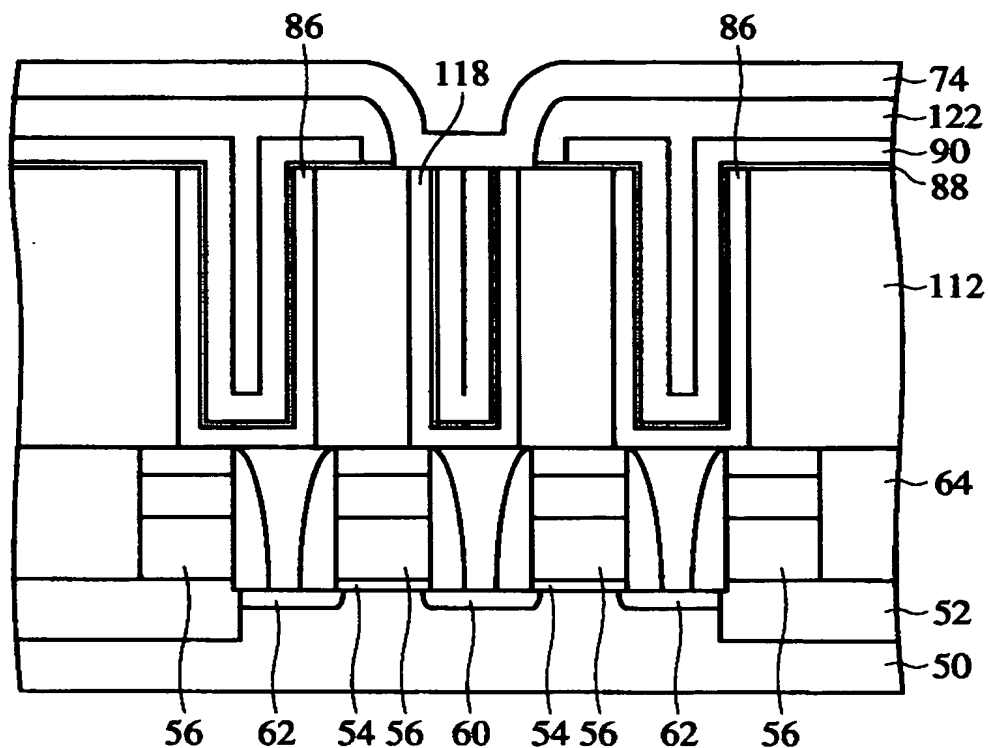


74…ビット線



【図43】

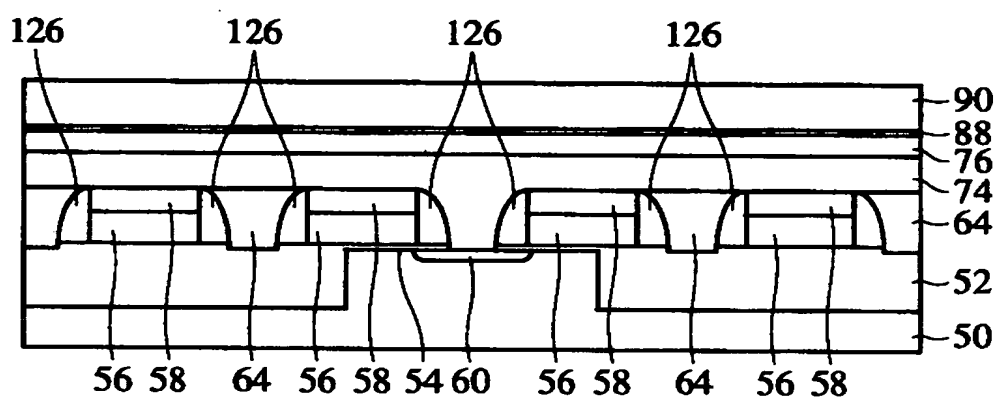
第9実施形態の変形例による半導体装置  
及びその製造方法を示す概略断面図



- 50…シリコン基板
- 52…素子分離膜
- 54…ゲート絶縁膜
- 56…ワード線
- 58…エッチングストップパ膜
- 62…不純物拡散層
- 64、112、122…層間絶縁膜
- 74…ビット線
- 86…蓄積電極
- 88…誘電体膜
- 90…対向電極
- 118…コンタクト用導電膜

【図44】

本発明の第10実施形態による半導体装置  
の構造を示す概略断面図

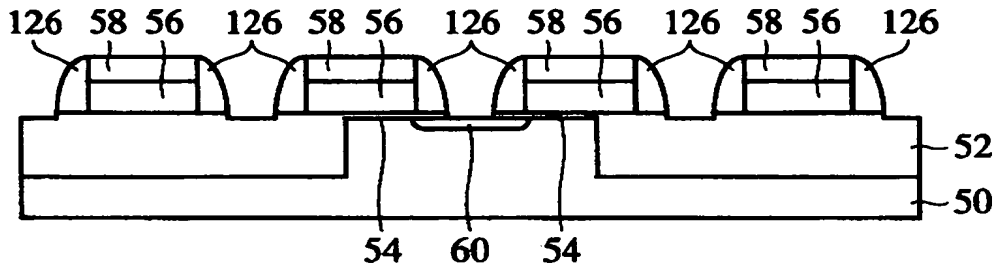


- 50…シリコン基板
- 52…素子分離膜
- 54…ゲート絶縁膜
- 56…ワード線
- 58…エッチングストップパ膜
- 60…不純物拡散層
- 64…層間絶縁膜
- 74…ビット線
- 76…エッチングストップパ膜
- 88…誘電体膜
- 90…対向電極
- 126…サイドウォール絶縁膜

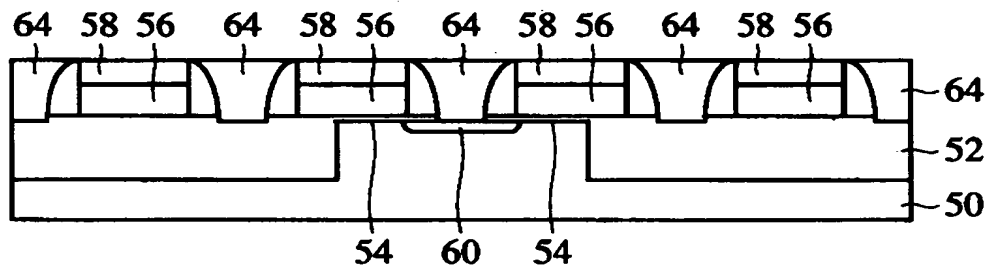
【図45】

本発明の第10実施形態による半導体装置  
の製造方法を示す工程断面図(その1)

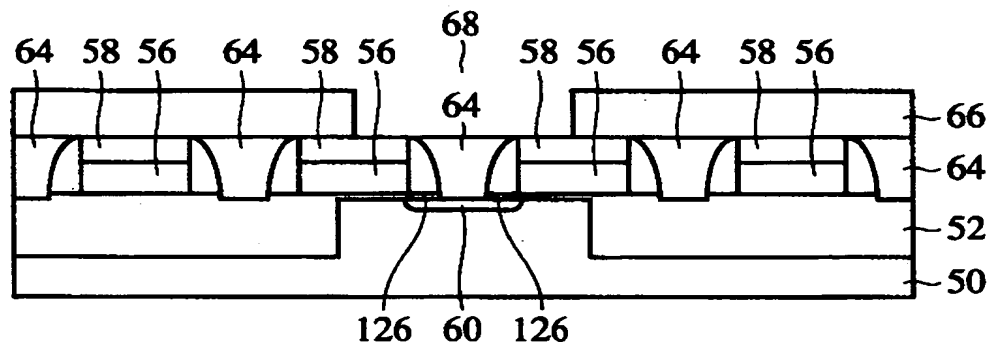
(a)



(b)



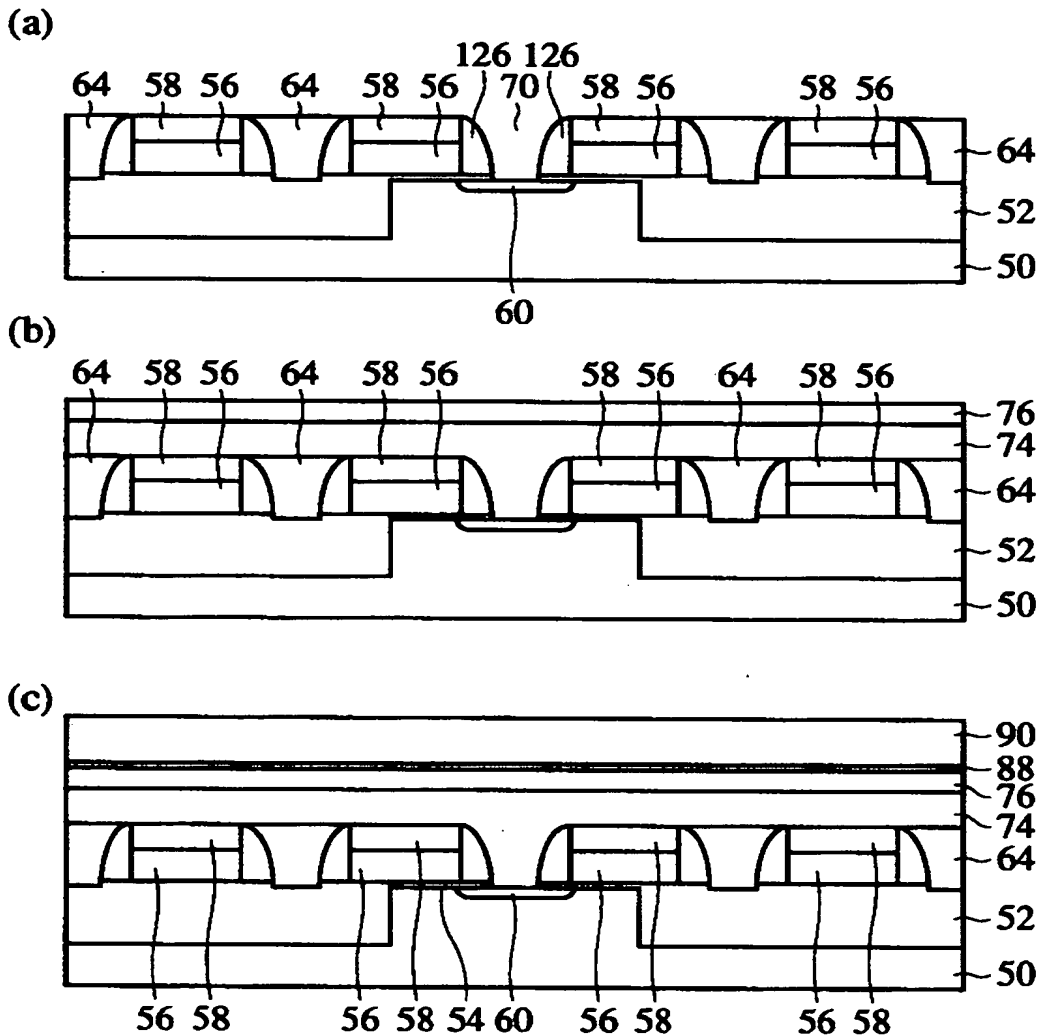
(c)



- 50…シリコン基板
- 52…素子分離膜
- 54…ゲート絶縁膜
- 56…ワード線
- 58…エッチングストップ膜
- 60…不純物拡散層
- 64…層間絶縁膜
- 66…フォトリソ
- 68…開口部
- 126…サイドウォール絶縁膜

【図46】

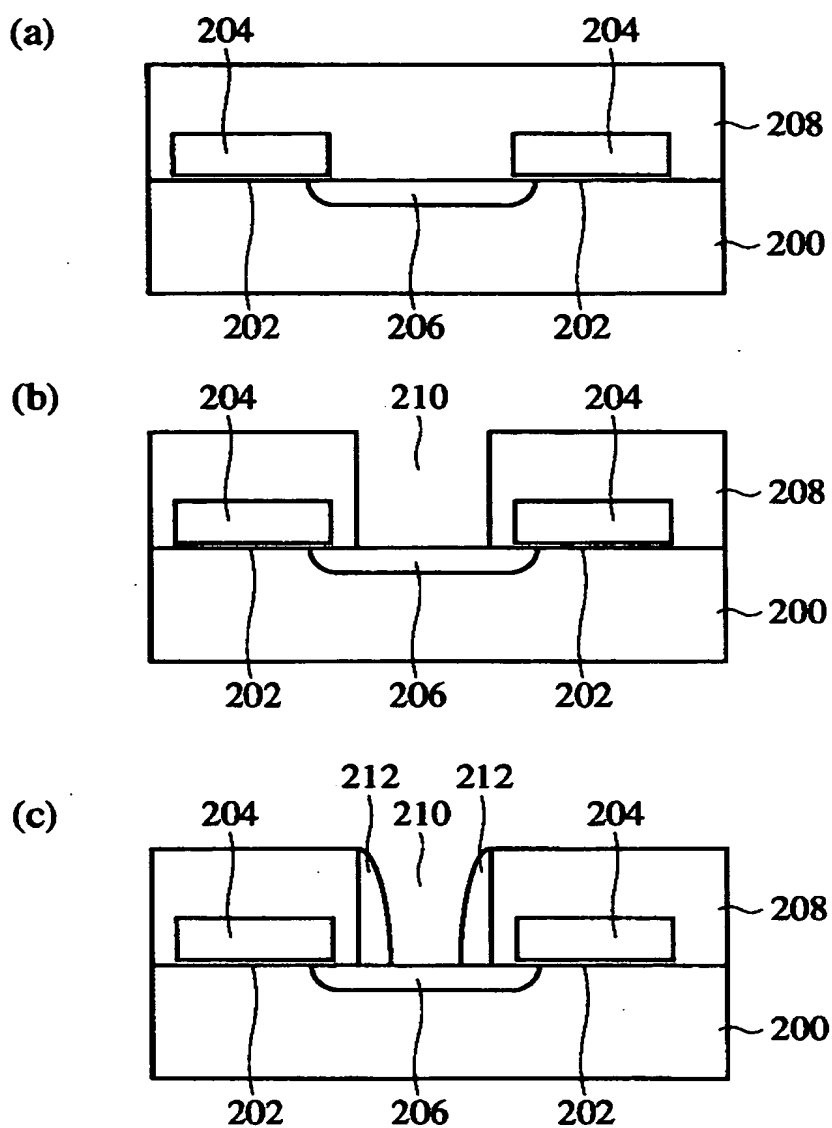
本発明の第10実施形態による半導体装置の  
製造方法を示す工程断面図(その2)



70…コンタクトホール  
74…ビット線  
76…エッチングストップ膜  
88…誘電体膜  
90…対向電極

【図47】

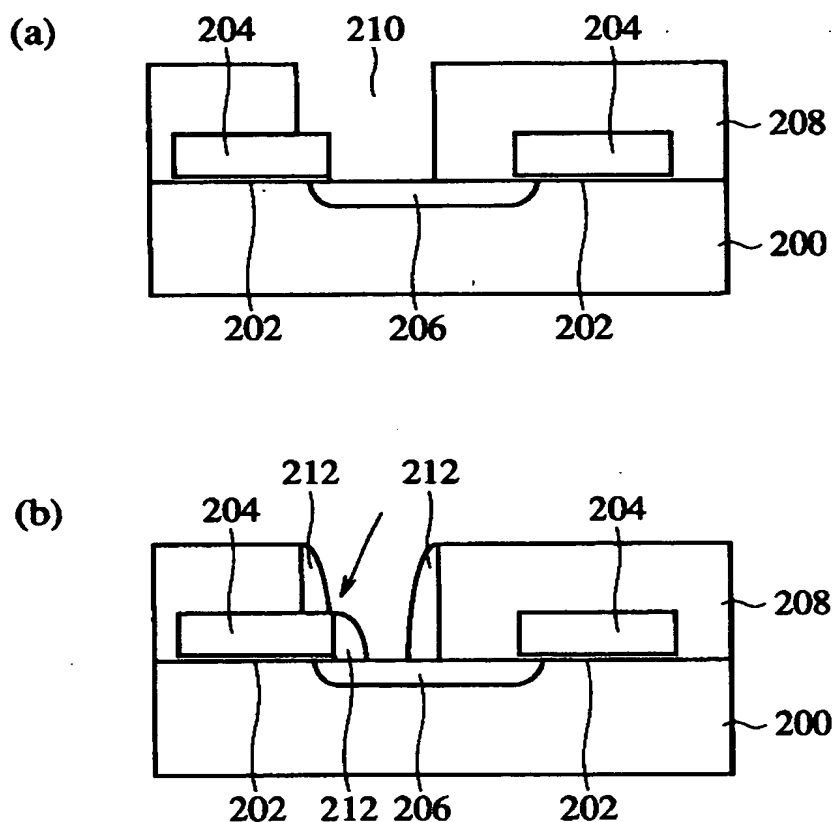
従来の第1の半導体装置の製造方法を示す工程断面図



200…シリコン基板  
 202…ゲート絶縁膜  
 204…ゲート電極  
 206…不純物拡散層  
 208…層間絶縁膜  
 210…コンタクトホール  
 212…サイドウォール絶縁膜

【図48】

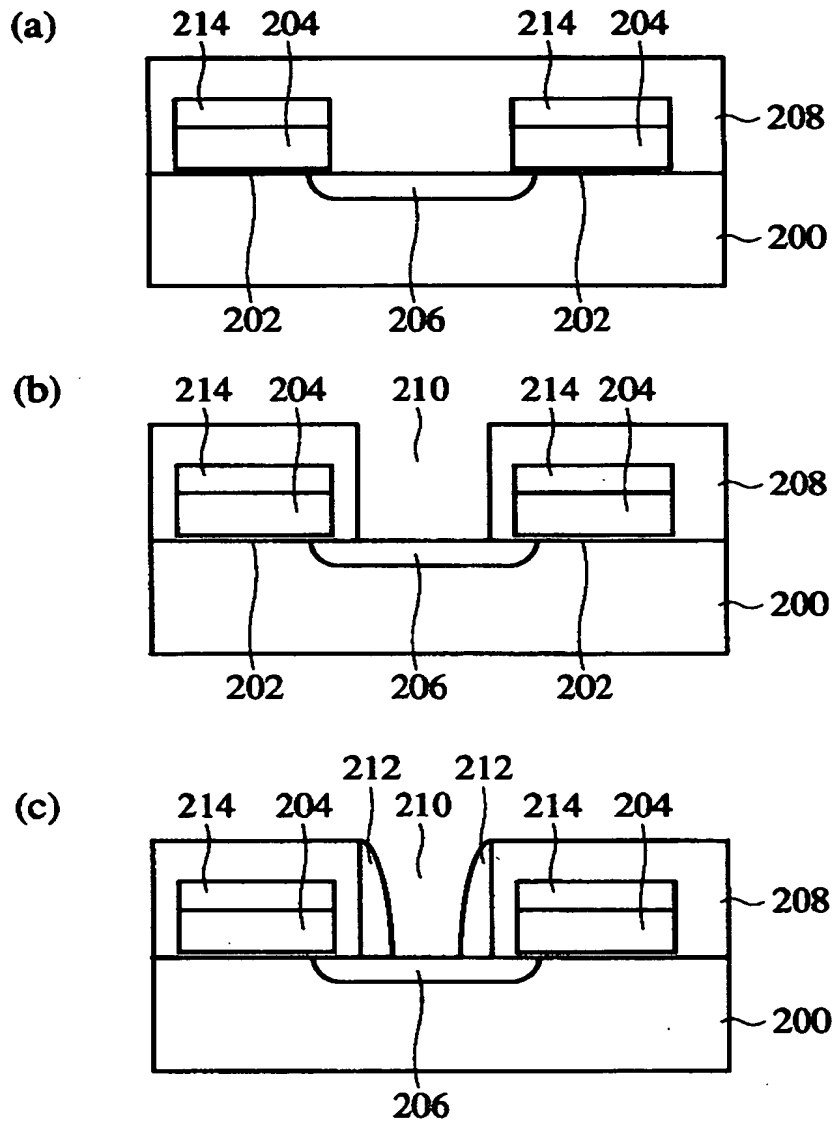
従来の第1の半導体装置の製造方法における課題を説明する図



200…シリコン基板  
 202…ゲート絶縁膜  
 204…ゲート電極  
 206…不純物拡散層  
 208…層間絶縁膜  
 210…コンタクトホール  
 212…サイドウォール絶縁膜

【図49】

従来の第2の半導体装置の製造方法を示す工程断面図

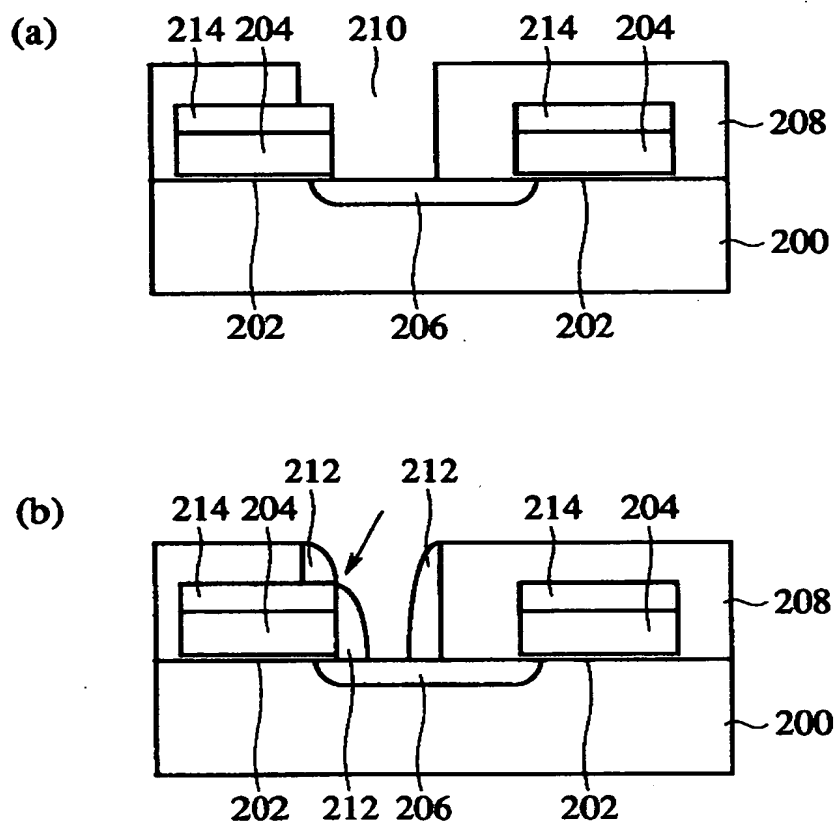


200…シリコン基板  
 202…ゲート絶縁膜  
 204…ゲート電極  
 206…不純物拡散層  
 208…層間絶縁膜  
 210…コンタクトホール  
 212…サイドウォール絶縁膜  
 214…エッチングストップ膜



【図50】

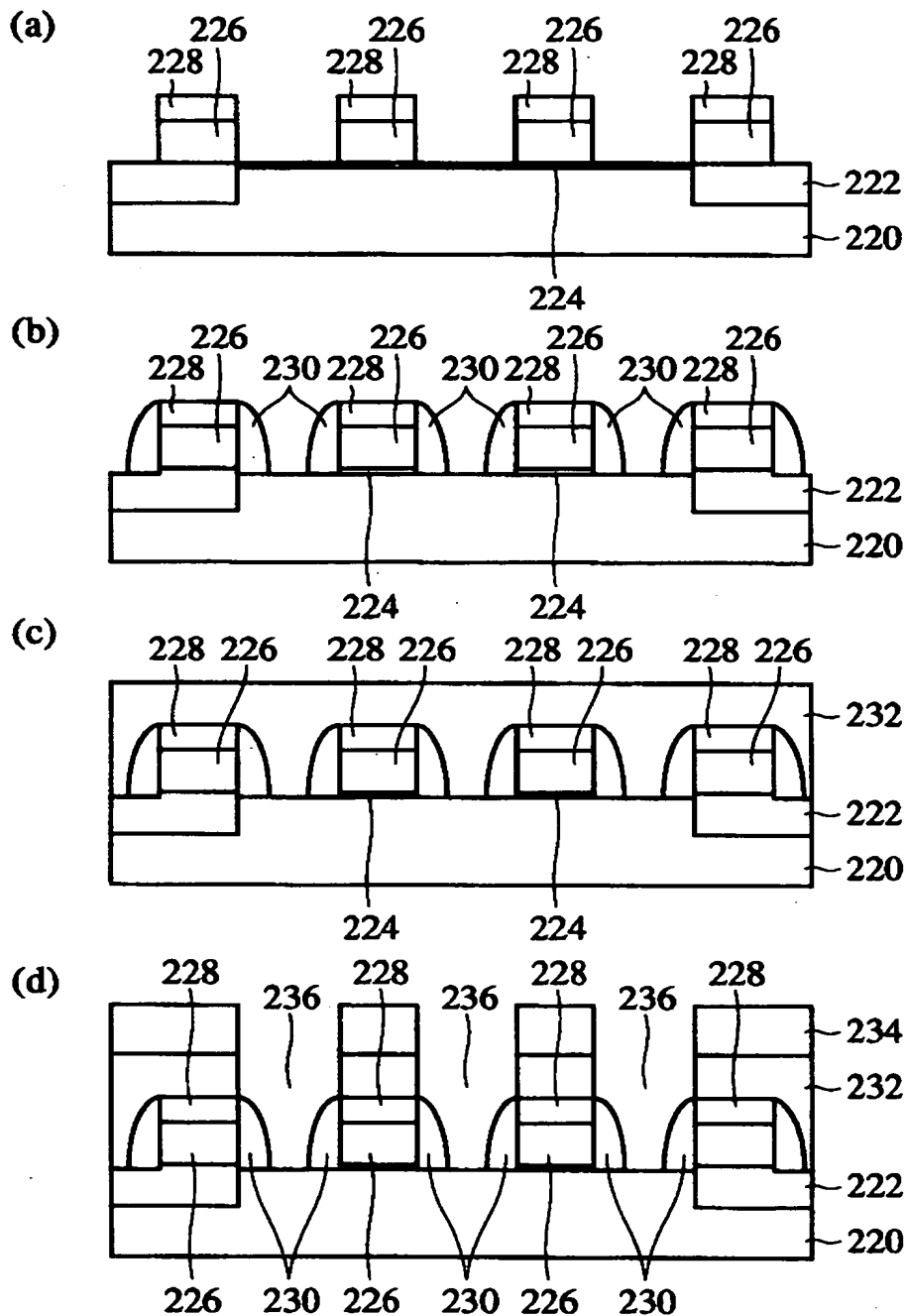
従来の第2の半導体装置の製造方法における  
効果を説明する図



200…シリコン基板  
202…ゲート絶縁膜  
204…ゲート電極  
206…不純物拡散層  
208…層間絶縁膜  
210…コンタクトホール  
212…サイドウォール絶縁膜  
214…エッチングストッパ膜

【図51】

従来の第3の半導体装置の製造方法を示す工程断面図

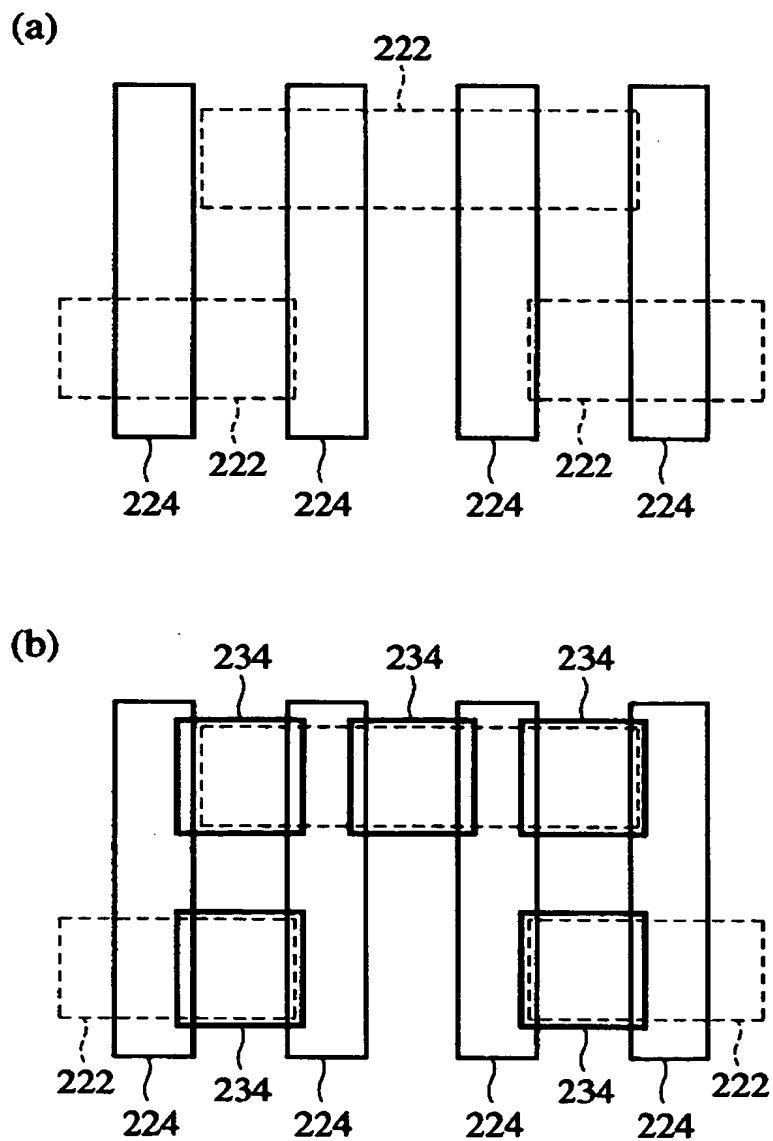


220…シリコン基板  
222…素子分離膜  
224…ゲート絶縁膜  
226…ゲート電極  
228…エッチングストップ膜

230…サイドウォール絶縁膜  
232…層間絶縁膜  
234…フォトリソグ  
236…コンタクトホール

【図52】

従来の第3の半導体装置の製造方法における  
パターンレイアウトを示す平面図



222…素子分離膜  
224…ゲート電極  
234…フォトリソスト

【書類名】 要約書

【要約】

【課題】 フォトレジストの開口サイズを緩くすることができ、リソグラフィーの位置合わせズレによるコンタクトホールサイズの変動がなく、且つ、トランジスタのホットキャリア効果に対する耐性に優れた半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板10と、半導体基板10上に形成され、隣接する2つの導電体パターンを有する導電膜20と、導電膜20の上面を覆うエッチングストップ膜22と、2つの導電体パターン間の半導体基板10に達し、端部が2つの導電体パターン上のエッチングストップ膜22上に位置するコンタクトホール30が形成された絶縁膜28と、コンタクトホール30内の導電膜20及びエッチングストップ膜22の側壁に形成されたサイドウォール絶縁膜32とにより半導体装置を構成する。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000005223  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号  
【氏名又は名称】 富士通株式会社  
【代理人】 申請人  
【識別番号】 100087479  
【住所又は居所】 東京都新宿区大京町9番地 エクシード四谷2階  
北野国際特許事務所  
【氏名又は名称】 北野 好人

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社